

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 5 月 1 6 日
Date of Application:

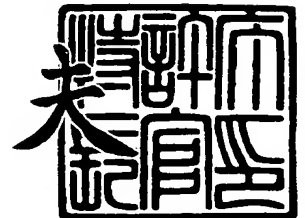
出 願 番 号 特 願 2 0 0 3 - 1 3 9 1 8 2
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 1 3 9 1 8 2]

出 願 人 沖 電 気 工 業 株 式 会 社
Applicant(s):

2 0 0 3 年 9 月 1 0 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康



【書類名】 特許願
【整理番号】 OG004775
【あて先】 特許庁長官殿
【国際特許分類】 H03G 3/00
H04B 1/00
H03D 1/00

【発明者】

【住所又は居所】 東京都港区虎ノ門 1 丁目 7 番 1 2 号 沖電気工業株式会
社内

【氏名】 宮下 時男

【発明者】

【住所又は居所】 東京都港区虎ノ門 1 丁目 7 番 1 2 号 沖電気工業株式会
社内

【氏名】 柳原 淳一

【発明者】

【住所又は居所】 東京都港区虎ノ門 1 丁目 7 番 1 2 号 沖電気工業株式会
社内

【氏名】 太矢 隆士

【特許出願人】

【識別番号】 000000295

【氏名又は名称】 沖電気工業株式会社

【代理人】

【識別番号】 100089093

【弁理士】

【氏名又は名称】 大西 健治

【手数料の表示】

【予納台帳番号】 004994

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9720320

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 可変ゲインアンプ及びAM変調信号受信回路及び検波回路

【特許請求の範囲】

【請求項 1】 差動対を構成するトランジスタT1及びT2と、該差動対を構成するトランジスタT1及びT2の吸込み電流として動作する定電流回路Isとを含んで構成する差動入力アンプにおいて、該差動対を構成するトランジスタT1及びT2の、それぞれのソース間に、可変インピーダンスを接続し、該可変インピーダンス値を可変制御することで当該差動入力アンプのゲインを可変とすることを特徴とする可変ゲインアンプ。

【請求項 2】 請求項 1 に記載の可変ゲインアンプにおいて、差動入力Vi+及びVi-にそれぞれのゲートが接続され、電源VDDにそれぞれ一端を接続する負荷抵抗RL1およびRL2の他端にそれぞれのドレインが接続されて差動対をなすトランジスタT1及びT2の、それぞれのソースと定電流回路Isとの間に、可変インピーダンスとなるトランジスタT3及びT4の、それぞれのドレインとソースを挿入接続し、該トランジスタT3及びT4のゲートにゲイン制御電圧Vgcを接続し、該可変インピーダンス値を制御することにより、当該差動入力アンプのゲインを可変制御することを特徴とする可変ゲインアンプ。

【請求項 3】 請求項 1 に記載の可変ゲインアンプにおいて、差動入力Vi+及びVi-にそれぞれのゲートが接続され、電源VDDにそれぞれ一端を接続する負荷抵抗RL1およびRL2の他端にそれぞれのドレインが接続され、第 1 及び第 2 の定電流回路Is1及びIs2にそれぞれのソースが接続されて差動対をなすトランジスタT1及びT2のソース間に、可変インピーダンスとなるトランジスタT3及びT4のドレインとソースを接続し、該トランジスタT3、T4のゲートにゲイン制御電圧Vgcを接続し、該可変インピーダンス値を制御することにより当該差動入力アンプのゲインを可変制御することを特徴とする可変ゲインアンプ。

【請求項 4】 請求項 2 及び 3 に記載の可変ゲインアンプにおいて、前記トランジスタT1及びT2のソース間に、当該差動入力アンプの最小ゲインを決定する抵抗Rsを接続したことを特徴とする可変ゲインアンプ。

【請求項 5】 大振幅状態と小振幅状態の 2 状態の AM 変調信号Viを受信し

該 2 状態を識別する AM 変調信号受信回路において、

ピーク値入力端子からのピーク値電圧 V_p によりゲインが制御され前記入力 AM 変調信号 V_i を増幅して出力 V_o を出力するゲインコントロールアンプ部 (GCA-B) と、

該ゲインコントロールアンプ部 (GCA-B) の増幅出力 V_o を包絡線検波する包絡線検波回路 (SDet) と、

該包絡線検波回路 (SDet) の出力と基準電圧 V_{R2} とを比較して論理信号 $TC0$ を出力する比較回路 (Comp) と、

該比較回路 (Comp) の出力信号 $TC0$ を制御入力として、該入力が "H" 状態 (あるいは "L" 状態) の時に前記ゲインコントロールアンプ部 (GCA-B) の出力 V_o のピーク値を検出し、該検出ピーク値 V_p を前記コントロールアンプ部 (GCA-B) の前記ピーク値入力端子に出力し、前記比較回路 (Comp) の出力信号が "L" 状態 (あるいは "H" 状態) に変化した時には該変化直前の前記検出ピーク値 V_p を保持して該保持検出ピーク値を前記ピーク値入力端子に出力するピーク検出回路 (PDet) と、

を備えたことを特徴とする AM 変調信号受信回路。

【請求項 6】 請求項 5 に記載の AM 変調信号受信回路における前記ピーク検出回路 (PDet) を、

前記ゲインコントロールアンプ部 (GCA-B) の出力信号 V_o を整流する整流回路 (Rec1) と、

該整流回路 (Rec1) の出力とグランド (或いは電源) 間に接続した放電経路用抵抗 $R1$ と、

前記整流回路 (Rec1) の出力に導通端子の一端を接続し、導通端子の他端を前記ゲインコントロールアンプ部 (GCA-B) の前記ピーク値入力端子に接続し、前記比較回路 (Comp) の出力信号 $TC0$ を制御入力として該入力が "H" 状態 (あるいは "L" 状態) の時に導通状態になり該入力が "L" 状態 (あるいは "H" 状態) の時に非導通状態になるトランスファゲート (TG1) と、

該トランスファゲート (TG1) の導通端子他端とグランド (或いは電源) 間に接続されるピークホールド容量 $C1$ と、

から構成したことを特徴とする AM 変調信号受信回路。

【請求項 7】 請求項 5 に記載の AM 変調信号受信回路において、前記ピーク検出回路 (PDet) を、

前記ゲインコントロールアンプ部 (GCA-B) の出力信号 V_o を整流する整流回路 (Rec1) と、

該整流回路 (Rec1) の出力とグランド (或いは電源) 間に接続するピークホールド容量 $C1$ と、

前記整流回路 (Rec1) の出力と前記ゲインコントロールアンプ部 (GCA-B) の前記ピーク値入力端子とに一端が接続される放電経路用抵抗 $R1$ と、

該放電経路用抵抗 $R1$ の他端に導通端子の一端を接続し、導通端子他端をグランドに接続し、前記比較回路 (Comp) の出力信号 $TC0$ を制御入力として該入力が "H" 状態 (あるいは "L" 状態) の時に導通状態になり該入力が "L" 状態 (あるいは "H" 状態) の時に非導通状態になるトランスファゲート (TG1) と、
から構成したことを特徴とする AM 変調信号受信回路。

【請求項 8】 請求項 5 に記載の AM 変調信号受信回路において、前記ピーク検出回路 (PDet) を、

前記ゲインコントロールアンプ部 (GCA-B) の出力信号 V_o を整流する整流回路 (Rec1) と、

該整流回路 (Rec1) の出力とグランド (或いは電源) 間に接続するピークホールド容量 $C1$ と、

前記整流回路 (Rec1) の出力と前記ゲインコントロールアンプ部 (GCA-B) の前記ピーク値入力端子とに電流出力端子を接続し、グランド端子をグランドに接続し前記比較回路 (Comp) の出力信号 $TC0$ を制御入力として、該入力が "H" 状態 (あるいは "L" 状態) の時に定電流 $I1$ を電流出力端子に出力し、該入力が "L" 状態 (あるいは "H" 状態) の時に該定電流 $I1$ をオフ状態にする制御入力付放電経路用定電流回路 $I1$ と、

から構成したことを特徴とする AM 変調信号受信回路。

【請求項 9】 請求項 5 ~ 8 の何れか 1 項に記載の AM 変調信号受信回路において、前記ピーク検出回路 (PDet) のピークホールド容量 $C1$ に並列に、前記放

電経路用抵抗R1或いは放電経路用定電流回路I1より小さな電流を流す第2の放電経路(抵抗R3または定電流回路I3)を付加したことを特徴とするAM変調信号受信回路。

【請求項10】 請求項5～8の何れか1項に記載のAM変調信号受信回路において、前記ピーク検出回路(PDet)の、前記トランスファゲート(TG1)または制御入力付放電経路用定電流回路I1を、前記比較回路(Comp)の出力信号TC0と外部制御信号HS-AGCとをOR合成した信号により制御する構成としたことを特徴とするAM変調信号受信回路。

【請求項11】 請求項5～8の何れか1項に記載のAM変調信号受信回路において、前記ピーク検出回路(PDet)のピークホールド容量C1に充電された電荷を、外部制御信号RESETにより強制放電させる強制放電手段を付加したことを特徴とするAM変調信号受信回路。

【請求項12】 請求項5～8の何れか1項に記載のAM変調信号受信回路において、前記ピーク検出回路(PDet)の、前記トランスファゲートTG1または制御入力付放電経路用定電流回路I1を、前記比較回路(Comp)の出力信号TC0が所定の時間、大振幅入力に対応する出力状態にならない場合に、強制オンさせる制御手段を付加して構成したことを特徴とするAM変調信号受信回路。

【請求項13】 請求項12に記載のAM変調信号受信回路において、前記強制オンさせる制御手段を、前記比較器(Comp)の出力信号TC0を入力し該出力信号TC0が大振幅受信時に相当する出力状態に変化した時には直ちに"0"を出力し、小振幅受信時に相当する出力状態に変化した時には所定時間経過後に"1"を出力するタイマー回路と、該タイマー回路の出力と、前記比較器(Comp)出力信号TC0出力とを、OR合成して前記制御信号を出力するOR合成手段とで構成したことを特徴とするAM変調信号受信回路。

【請求項14】 請求項5～13の何れか1項に記載のAM変調信号受信回路において、前記ピーク検出回路(PDet)のピークホールド容量C1への充放電を強制的にオフさせる手段を付加したことを特徴とするAM変調信号受信回路。

【請求項15】 請求項5～14の何れか1項に記載のAM変調信号受信回路において、前記比較器(Comp)の出力信号TC0を遅延させる遅延回路Dと、該遅

延回路Dの出力を受けて所定の時間幅のパルスを出力するモノステーブルマルチバイブレーター (MM) と、該モノステーブルマルチバイブレーター (MM) の出力と前記比較器 (Comp) の出力信号TC0とを切り換えて前記ピーク検出回路 (PDet) のトランスファゲートTG1(あるいはオン/オフ可能な定電流I1)の制御入力端子に inputs する切り換えスイッチ (S) と、を備えたことを特徴とするAM変調信号受信回路。

【請求項16】 請求項5～14に記載のAM変調信号受信回路において、前記比較器 (Comp) の出力信号TC0を遅延させる遅延回路 (D) と、該遅延回路 (D) の出力を受けて所定の時間幅のパルスを出力するモノステーブルマルチバイブレーター (MM) と、該モノステーブルマルチバイブレーター (MM) の出力と前記比較器 (Comp) の出力信号TC0とをAND合成するAND回路と、該AND回路出力と前記比較器 (Comp) の出力TC0とを切り換えて前記ピーク検出回路 (PDet) のトランスファゲートTG1(あるいはオン/オフ可能な定電流I1)の制御入力端子に inputs する切り換えスイッチ (S) と、を備えたことを特徴とするAM変調信号受信回路。

【請求項17】 キャリア周波数 f_1 の電波を同調受信するアンテナコイルL1及び同調容量C1を備えた第1の同調回路と、

該第1の同調回路の出力信号を増幅するプリアンプ (PA1) と、

キャリア周波数 f_2 の電波を同調受信するアンテナコイルL2及び同調容量C2を備えた第2の同調回路と、

該第2の同調回路の出力信号を増幅するプリアンプ (PA2) と、

前記プリアンプ (PA1) と (PA2) の出力を加算する加算回路 (Add) と、

DC制御電圧 V_p が上昇するとゲインを下げ、上昇するとゲインを上げて前記加算回路 (Add) の出力信号 V_i を増幅し、中心周波数 f_1 の帯域幅 Δf_1 の帯域信号 V_{o1} と中心周波数 f_2 の帯域幅 Δf_2 の帯域信号 V_{o2} とを出力する二つのバンドパスフィルタ (BPF1、BPF2)を備えたゲインコントロールアンプ部 (GCA-B) と、

前記帯域信号 V_{o1} を整流してピーク保持キャパシタC1に充電する整流回路 (Rec1a) と、前記帯域信号 V_{o2} を整流して前記ピーク保持キャパシタC1に充電する整流回路 (Rec1b) と、該ピーク保持キャパシタC1の充電電荷を放電させる放電

抵抗R1とで構成し該保持キャパシターC1の充電電圧を前記ゲインコントロールアンプ部（GCA-B）に制御電圧Vpとして出力するピーク検出回路（PDet）と、

前記帯域信号Vo1を整流し、ピーク保持キャパシターC2に充電する整流回路（Rec2a）と前記帯域信号Vo2を整流し、前記ピーク保持キャパシターC2に充電する整流回路（Rec2b）と、前記ピーク保持キャパシターC2の充電電荷を放電させる放電抵抗R2とで構成し、前記ピーク保持キャパシターC2の充電電圧を包絡線検波出力として出力する包絡線検波回路（SDet）と、

該包絡線検波回路（SDet）の出力と基準電圧VR2とを比較して信号TC0を出力する比較器（Comp）と、

を備え、複数局を同時受信することを特徴とするAM変調信号受信回路。

【請求項18】 請求項17に記載のAM変調信号受信回路において、前記ゲインコントロールアンプ部（GCA-B）の、前記中心周波数f1の帯域幅 $\Delta f1$ の帯域信号Vo1を抽出するバンドパスフィルタ（BPF1）の出力と、中心周波数f2の帯域幅 $\Delta f2$ の帯域信号Vo2を抽出するバンドパスフィルタ（BPF2）の出力とを加算する第2の加算回路（Add2）を設け、該第2の加算回路Add2の出力を、前記ピーク検出回路（PDet）と前記包絡線検波回路SDetとに入力することを特徴とするAM変調信号受信回路。

【請求項19】 請求項17に記載のAM変調信号受信回路において、前記アンテナコイルL1及びアンテナコイルL2をバーアンテナとし、水平面上に直交するように配置し、アンテナコイルL1と同調容量C1の同調周波数と、アンテナコイルL2と同調容量C2の同調周波数とを、同一同調周波数fとし、前記プリアンプ（PA2）の出力位相を正相/逆相に切り換える位相切換スイッチ（S）を、該プリアンプ（PA2）の出力と前記加算回路（Add）の入力端子との間に挿入し、ゲインコントロールアンプ部（GCA-B）に内蔵のバンドパスフィルタを単一のバンドパスフィルタ（BPF）として構成したことを特徴とするAM変調信号受信回路。

【請求項20】 請求項18に記載のAM変調信号受信回路において、前記アンテナコイルL1及びアンテナコイルL2をバーアンテナとし、水平面上に直交するように配置し、アンテナコイルL1と同調容量C1の同調周波数と、アンテナコイルL2と同調容量C2の同調周波数とを同一同調周波数f1とし、

同調容量C1にスイッチ (S1) で接続がオン/オフできる同調容量C3を付加すると共に、同調容量C2にスイッチ (S2) で接続がオン/オフできる同調容量C4を付加し、

前記アンテナコイルL1と同調容量C1およびC3との同調周波数と、前記アンテナコイルL2と同調容量C2およびC4との同調周波数とを、同一同調周波数 f_2 とし、

前記プリアンプ (PA2) の出力位相を正相/逆相に切り換える位相切換スイッチSを、該プリアンプ (PA2) の出力と前記加算回路 (Add) の入力端子との間に挿入したことを特徴とするAM変調信号受信回路。

【請求項 2 1】 アンテナコイルLを差動入力端子間に接続する差動入力形プリアンプ (PA) を用いる受信回路において、

前記アンテナコイルLにセンタータップを設け、前記差動入力形プリアンプ (PA) の入力バイアスを、該センタータップより供給する構成としたことを特徴とする受信回路。

【請求項 2 2】 大振幅状態と小振幅状態の2状態のAM変調信号 V_i を受信し該2状態を識別するAM変調信号受信回路において、

受信したAM変調信号を所定の振幅値に制御増幅するAGC回路の出力信号 V_o から、キャリア周波数成分を抽出し、該AGC回路の出力信号 V_o の振幅のピーク位置にタイミングを合わせたクロックパルスCLを出力するタイミング抽出部と、

該クロックパルスCLを入力して前記ピーク位置にタイミングを合わせたサンプリングクロックパルスSCLを出力するクロック生成部と、

比較基準電圧VR2を出力する基準電圧設定部と、

前記サンプリングクロックパルスSCLの入力時に前記AGC回路の出力 V_o と前記比較基準電圧VR2とをサンプリング比較して比較結果信号TCOを出力し、次のサンプリングクロックパルスSCLが入力されるまで保持するサンプリング比較保持部を備えたことを特徴とする検波回路。

【請求項 2 3】 請求項 2 2 記載の検波回路において、前記基準電圧設定部を、前記AGC回路内のピーク検出回路 (PDet) の出力信号 V_p を分圧した基準電圧値VR2を出力する分圧回路で構成したことを特徴とする検波回路。

【請求項 2 4】 請求項 2 2 記載の検波回路において、前記タイミング抽出

部を、前記AGC回路の出力 V_o をリミット増幅するリミットアンプ (LIM) と、該リミットアンプ (LIM) の出力をトリガーとしてクロックパルスCL出力する第1のモノマルチバイブレータ (MM1) とで構成したことを特徴とする検波回路。

【請求項25】 請求項22記載の検波回路において、前記タイミング抽出部を、前記AGC回路の出力信号 V_o の位相を進相(遅相)させて出力 V_{o1} を出力する第1の移相回路(PS1)と、前記AGC回路の出力信号 V_o の位相を遅相(進相)させて出力する第2の移相回路(PS2)と、該第2の移相回路(PS2)の出力をリミット増幅してクロックパルスCLを出力するリミットアンプ (LIM) とで構成したことを特徴とする検波回路。

【請求項26】 請求項22記載の検波回路において、前記クロック生成部を、前記クロックパルスCLを受けてサンプリングクロックパルスSCLを発生する第2のモノマルチバイブレータ (MM2) で構成したことを特徴とする検波回路。

【請求項27】 請求項22記載の検波回路において、前記クロック生成部を、前記クロックパルスCLを反転・遅延させる遅延回路(Dt)と、該遅延回路(Dt)の出力と前記クロックパルスCLをNOR或いはAND合成してサンプリングクロックパルスSCLとして出力する論理合成回路NOR/ANDとで構成したことを特徴とする検波回路。

【請求項28】 請求項22記載の検波回路において、前記サンプリング比較保持部を、一端をグラウンドに接続する保持容量Cと、前記サンプリングクロックパルスSCLの入力時に前記AGC回路の出力 V_o と前記保持容量Cの他端との間を導通状態にさせるトランスファゲート (TG) と、前記保持容量Cの他端電圧と前記比較基準電圧 VR_2 とを比較する比較器 (Comp) とで構成したことを特徴とする検波回路。

【請求項29】 請求項22記載の検波回路において、前記サンプリング比較保持部を、差動入力に応じて出力信号TC0が決定され入力開放状態では該開放直前の論理出力状態を保持するヒステリシス形比較器 (Comp) と、前記サンプリングクロックパルスSCLが入力された時に導通状態となって前記第1の移相回路(PS1)の出力 V_{o1} と前記基準電圧 VR_2 とを前記ヒステリシス形比較器 (Comp) の差動入力に接続するトランスファゲート (TG) とで構成したことを特徴とする検

波回路。

【請求項 30】 請求項 22 記載の検波回路において、前記サンプリング比較保持部を、前記第 1 の移相回路 (PS1) の出力信号 Vo1 と前記基準電圧 VR2 とを比較する比較器 (Comp) と、該比較器 (Comp) の出力をデータ入力 D とし前記サンプリングクロックパルス SCL をクロック入力 CK とし論理出力 Q を AM 変調信号用検波回路の論理出力 TC0 として出力する D タイプフリップフロップとより構成したことを特徴とする検波回路。

【請求項 31】 請求項 28 記載の検波回路において、前記サンプリング比較保持部の前記トランスファゲート (TG) と、前記保持容量 C との接続点に抵抗 R を挿入したことを特徴とする検波回路。

【請求項 32】 請求項 30 記載の検波回路において、前記サンプリング比較保持部の D タイプフリップフロップを、前記該比較器 (Comp) の出力をデータ入力 D とし前記サンプリングクロックパルス SCL をクロック入力 CK とする奇数 n ビットのシリアルインパラレルアウトのシフトレジスタ (SHR) と、該シフトレジスタ (SHR) のパラレル出力 Q1 ~ Qn の "H" / "L" 出力を多数決処理し、"H" 出力のビット数が多い場合は "H" を、"H" 出力のビット数が少ない場合は "L" を出力する多数決回路とから構成したことを特徴とする検波回路。

【請求項 33】 請求項 25 記載の検波回路において、前記タイミング抽出部の前記第 2 の移相回路 (PS2) と前記リミットアンプ (LIM) との間にタンク同調回路を設けたことを特徴とする検波回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、電波時計のラジオフリケンシー受信部（以後、RF 受信部と記す）など、AM 変調を用いた RF 通信の受信部回路に関するものである。

【0002】

【従来の技術】

従来のオートゲインコントロール（以後、AGC と記す）用の可変ゲインアンプの具体例を示す回路図を、図 4 ~ 6 に示す。また、従来の電波時計の RF 受信部の

基本構成例を示す回路図を図 7 に示す。

【0003】

図 4 の可変ゲインアンプでは、トランジスタ T1 及び T2 で第 1 の差動対を構成し該第 1 の差動対の吸込み電流をトランジスタ T5 のドレインに流す構成の差動アンプ 1 と、ソースにソース抵抗 RS1 を接続するトランジスタ T3 とソースにソース抵抗 RS2 を接続するトランジスタ T4 で第 2 の差動対を構成し該第 2 の差動対の吸込み電流をトランジスタ T6 のドレインに流す構成の差動アンプ 2 とし、前記差動アンプ 1 と差動アンプ 2 の入出力が並列接続となるよう、正入力同士（トランジスタ T1 及び T3 のゲート）及び負入力同士（トランジスタ T2 及び T4 のゲート）をそれぞれ接続（差動アンプ 1 と差動アンプ 2 とが、同じ差動入力となる）し、更に、正相電流出力同士（トランジスタ T1 及び T3 のドレイン）及び逆相電流出力同士（トランジスタ T2 及び T4 のドレイン）をそれぞれ接続（差動アンプ 1 と差動アンプ 2 の差動出力電流が加算される）し、一端を電源 VDD に接続する負荷抵抗 RL1 に前記加算した正相出力電流を流して逆相出力電圧 V_{o-} に変換し、一端を電源 VDD に接続する負荷抵抗 RL2 に前記加算した逆相出力電流を流して正相出力電圧 V_{o+} に変換する。

【0004】

前記差動アンプ 1 の吸込み電流トランジスタ T5 と前記差動アンプ 2 の吸込み電流トランジスタ T6 もソース同士が接続され、更に、吸込み電流回路である定電流回路 I_s に接続されて、第 3 の差動アンプを構成している。

【0005】

上記の構成では、定電流回路 I_s の定電流 I_s の一部である $I_s \times M$ (M は、 $0 \sim 1$) がトランジスタ T5 に流れ、該定電流 I_s の残り部分である $I_s(1-M)$ がトランジスタ T6 に流れる。この配分比率 M は、前記第 3 の差動アンプの入力間（トランジスタ T5 及び T6 のゲート間）に印加されるゲインコントロール差動電圧 V_{gc} により任意に変えられる。

【0006】

また上記の構成では、前記差動アンプ 1 のトランスファコンダクタンス G_{m1} は第 1 の差動対に流れる吸込み電流で決定され、前記差動アンプ 2 のトランスファ

コンダクタンス G_{m2} は第2の差動対に流れる吸込み電流と前記ソース抵抗 R_{s1} 及び R_{s2} とで決定され、差動入力(V_{i+} と V_{i-} の差)から差動出力(V_{o+} と V_{o-} の差)までのゲインは、該合成コンダクタンス $G_m = (G_{m1} + G_{m2})$ と前記負荷抵抗 R_{L1} と R_{L2} で決定される。

【0007】

トランジスタ $T5$ 及び $T6$ に流れる電流を I_1 及び I_2 とし、該電流 I_1 によって決まるトランジスタ $T1$ 及び $T2$ のトランスファコンダクタンスを $G_m(I_1)$ とし、該電流 I_2 によって決まるトランジスタ $T3$ 及び $T4$ のトランスファコンダクタンスを $G_m(I_2)$ とすると、

$$I_s = I_1 + I_2 \quad (I_1 = I_s \times M, \quad I_2 = I_s(1-M), \quad 0 < M < 1)$$

$$G_{m1} = G_m(I_1)/2$$

$$G_{m2} = 1/(R_{s1} + R_{s2} + (2/G_m(I_2)))$$

の関係が成立する。したがって、前述の電流配分比 M を制御して前記トランスファコンダクタンス G_{m1} 及び G_{m2} を適宜に変化させることにより、前記定電流 I_s が差動アンプ1に流れた時($M=1$)に最大ゲインとなり、前記定電流 I_s が差動アンプ2に流れた時($M=0$)に最小ゲインとなるようにできる、すなわち、ゲインコントロール差動電圧 V_{gc} により差動アンプ1と差動アンプ2に流れる電流配分比 M をコントロールすることにより、前記最大ゲインと最少ゲイン間の任意のゲインが得られる可変ゲインアンプとすることができる。

【0008】

図5の可変ゲインアンプ回路は、トランジスタ $T1 \sim T4$ 及び負荷抵抗 $R_{L1} \sim R_{L2}$ を、図4の回路と同じトランジスタ及び負荷抵抗 $R_{L1} \sim R_{L2}$ とし、図5の R_s を図4の R_{s1} と R_{s2} の和の値($R_s = R_{s1} + R_{s2}$)とし、図5の $T6a$ と $T6b$ の和のサイズを図4の $T6$ と同じ($T6a\text{サイズ} = T6b\text{サイズ}$ 、 $T6\text{サイズ} = T6a\text{サイズ} + T6b\text{サイズ}$)とすることで、図4の回路と等価な動作となる。

【0009】

図6の可変ゲインアンプ回路では、差動入力電圧 V_{i+} 及び V_{i-} が入力されるトランジスタ $T1$ および $T2$ で構成される第1の差動対に流れる吸込み電流と、該差動入力電圧 V_{i+} 及び V_{i-} が入力されないトランジスタ $T3$ および $T4$ で構成される第2の差

動対とに流れる吸込み電流との配分を、該差動入力へ接続する直流バイアス V_B （図24に等価回路例を示す。抵抗 R 又はチョークコイル L のいずれかが省略される場合がある）と、ゲインコントロール電圧 V_{gc} との電位差を変化させて、増幅に関わる第1の差動対のトランスファコンダクタンス G_{m1} を変えることにより、差動入力（ V_{i+} と V_{i-} の差）から差動出力（ V_{o+} と V_{o-} の差）までのゲインを変化させる可変ゲインアンプであり、トランジスタ $T3$ および $T4$ で構成される第2の差動対は、出力 V_{o+} 及び V_{o-} の直流バイアスを変化させず一定に保つ働きをする。

【0010】

直流バイアス V_B は、差動入力電圧 V_{i+} 及び V_{i-} に含まれている場合もある。

【0011】

図4～図6は、MOSタイプのトランジスタで構成した例を示しているが、接合形電界効果タイプやバイポーラタイプのトランジスタで構成することもできる。

【0012】

日本においては、通信総合研究所が、福島県の送信所から40KHzで、佐賀県の送信所からは60KHzで、周波数標準となる標準電波を日夜送信している。

【0013】

この標準電波には、AM変調信号による時刻情報（日本標準時）が重畳されており、この標準電波を受信して時刻コードを復元解読することで、電波発信から到達までの遅延時間程度（数 μ s程度）の確度の時刻を知ることができる。

これを用いて時刻を補正する機能を時計に持たせれば、常に前述の時刻確度が保たれた時計を実現できる。いわゆる電波時計である。

【0014】

標準電波のイメージを図35に示す。日本の標準電波は、前述の送信周波数をキャリアとし、大振幅1に対して小振幅0.1（変調度：90%）の2振幅状態のみのAM変調信号で、通信速度は1bit/secであり、該1bit長の中が、（大振幅状態が200msecで残り800msecが小振幅状態）→符号”M”（マーク信号）を表現し、（大振幅状態が800msecで残り200msecが小振幅状態）→符号”0”を表現し、（大振幅状態が500msecで残り500msecが小振幅状態）→符号”1”を表現する。この状態3値を組み合わせて時刻コードを構成している。

【0015】

時刻コードは、“M” 符号から開始して、分、時、元日からの通算日、西暦年、曜日情報等を“M” で区切り、最後に“M” 符号で終る、60ビット長を単位とする符号列である。したがって、“M” 符号連続（前符号列の最後と、次符号列の先頭）となる位置を検出することで、時刻コードの区切り及び先頭位置を識別できる。

【0016】

図7の電波時計RF受信部回路では、バーアンテナLと同調キャパシターCを前記の標準電波に同調させ、標準電波を選択受信しプリアンプPAに入力する、バイアス回路VB（等価回路例を図24に示す）は、前記プリアンプPAに入力バイアスを供給する。

【0017】

可変ゲインアンプGCAは、前記プリアンプPAの出力を入力Viとしゲイン制御端子からの制御に応じたゲインで増幅する。

【0018】

バンドパスフィルタBPFは、前記可変ゲインアンプGCAの出力の必要帯域外雑音成分である低域周波数成分と高域周波数成分を除去する。

【0019】

第1の整流回路Rec1と第1のピーク保持キャパシターC1と第1の放電抵抗R1とで構成するピーク検出回路PDetは、前記バンドパスフィルタBPFの出力Voのピーク値を検出しピーク値電圧Vpを出力する。

【0020】

ゲインコントロールアンプDAは、前記可変ゲインアンプGCAのゲイン制御端子に対して、前記ピーク検出回路PDetの出力Vpが第1の基準電圧VR1より大きい場合に前記可変ゲインアンプGCAのゲインを下げる直流電圧を出力し、小さい場合に該ゲインを上げる直流電圧を出力する、これによりピーク検出回路PDetの出力Vpと第1の基準電圧VR1との間の電位差がほぼゼロとなるように制御（負帰還制御）され、その結果、前記バンドパスフィルタBPF出力振幅Voの大振幅側がほぼ一定レベルとなる。

【0021】

前記ゲインコントロールアンプDAの出力に挿入接続されるローパスフィルタLPFは、前記可変ゲインアンプGCAへのゲイン制御が不安定にならないように時定数を持たせる。

【0022】

第2の整流回路Rec2と第2のピーク保持キャパシタC2と第2の放電抵抗R2とで構成する包絡線検波回路SDetは、前記バンドパスフィルタBPF出力VoのRF振幅値のピーク値包絡線となるような電圧を出力（図30の破線波形）する。

【0023】

比較器Compは、前記包絡線検波回路SDetの出力と第2の基準電圧VR2（包絡線検波出力の高低電圧の中間値に設定されている）とを比較して、包絡線検波回路SDetの出力が第2の基準電圧VR2より大きい場合に論理信号”H”を出力し、小さい場合に論理信号”L”を出力する。

【0024】

図示しないマイコンなどにて、論理信号”H”又は論理信号”L”の時間長を識別することにより、前記の時刻コード列の”M”/”0”/”1”のいずれであるかを識別する。このマイコンは、受信した時刻コードを解読することで現時刻を認識し、時刻を補正し表示（電波時計機能）する。

【0025】

時刻合わせは、1日に数回で十分なので、外部電源VDDより前記各回路への電源供給を制御信号PONより制御（電源オン/オフ、定電圧供給など）する電源回路Regを設け、無駄な電力消費をなくすようにしている。

【0026】

図7において、可変ゲインアンプGCAの出力ノイズが小さい場合にバンドパスフィルタBPFが省略される場合もある。また、バンドパスフィルタBPFと第1の整流回路Rec1及び第2の整流回路Rec2との間には、このバンドパスフィルタBPFの終端条件を満足し、第1の整流回路Rec1及び第2の整流回路Rec2を駆動できる、適宜なバッファ回路が置かれる。さらにまた、ゲインコントロールアンプDAが適宜なローパスフィルタ特性を含んでいる場合には、ローパスフィルタLPFが省略

される場合もある。

【 0 0 2 7 】

電波時計は概略1 μ Vrms～100mVrms程度の広い範囲の入力に対応できるAGCが要求されるため、受信プリアンプPAをも可変ゲインアンプの一部とする場合（図7、受信プリアンプPAへの破線で示す制御）もある。

【 0 0 2 8 】

以後の記述の中では、図7の可変ゲインアンプGCAと、ゲインコントロールアンプDAと、ローパスフィルタLPFと、を含む部分に相当する回路を可変ゲインアンプブロックGCAbと表記する場合があります、これにバンドパスフィルタBPFを加えた部分に相当する回路をゲインコントロールアンプ部GCA-Bと表記する場合があります。さらに、ゲインコントロールアンプ部GCA-Bと、ピーク検出回路PDetを含む部分に相当する回路をオートゲインコントロール回路AGC、あるいはAGC回路と表記する場合があります。

【 0 0 2 9 】

その他にも、可変利得増幅器の出力特性の線形性を向上させた可変ゲインアンプや、AM変調信号の受信回路、検波回路の例として、以下のような文献がある。

【 0 0 3 0 】

【特許文献1】

特開平11-225028号公報

【特許文献2】

特開平10-209904号公報

【特許文献3】

特開平6-252649号公報

【 0 0 3 1 】

【発明が解決しようとする課題】

電波時計が受信する標準電波は、AM変調方式のため前記オートゲインコントロール回路AGCの増幅は線形性が要求される。また、標準電波の送信所数が少ないため送信アンテナ直下から超遠距離まで受信可能にする必要があり広いAGC範囲が要求される。従って、常に線形性が確保され、かつ、可変ゲイン範囲の広い可

変ゲインアンプの実現が望まれる。

【0032】

図4及び図5の可変ゲインアンプは、トランジスタT1～T4のトランスファコンダクタンス $G_m(I_s)$ 及び R_{s1} 及び R_{s2} （或いは、合成 R_s ）で決定される最小ゲインが存在し、トランジスタT1～T4のトランスファコンダクタンス $G_m(I_s)$ がソース抵抗 R_s の逆数に比べて十分大きくできないと可変ゲイン範囲が狭くなる。また、トランジスタT1～T4による各差動対とトランジスタT5～T6の差動対とが電源間に直列的に接続されるために最小動作電源電圧を小さくできないため、電池駆動（1.5V電源）など低電源電圧動作に不向きである。可変ゲイン範囲が広く、最小動作電圧を下げられる可変ゲインアンプの実現が望まれる。

【0033】

図6の可変ゲインアンプ回路は、電源間に差動対が1つのために低電源電圧動作に適しているが、入力電圧が増大してAGC動作でゲインを下げようとゲインコントロール電圧 V_{gc} を上げると、ゲインに関わる差動対（トランジスタT1及びT2）の電流が減少（これによりゲインを下げるのだが）するのに伴い、出力ダイナミックレンジと線形入力範囲が小さくなるため、大入力電圧（低ゲイン動作）領域に入っていくに従いAGC動作からリミットアンプ動作に移行してしまい、線形性が悪くなる。

【0034】

大入力電圧（低ゲイン動作）領域においても出力ダイナミックレンジが維持され、入力電圧の増大に伴って線形入力範囲も拡大され、常に線形性が維持できる可変ゲインアンプの実現が望まれる。

【0035】

壁掛け時計タイプの電波時計などは、設置場所により時計の向きが変わり該受信部のバーアンテナの向きも変わる。バーアンテナの向きによってアンテナ受信ゲインが変化し、図7の電波時計受信部のように単一アンテナでは、向きによって受信レベルがゼロといった状態にもなる。電波時計の向きが変化しても一定以上の受信レベルが確保できるバーアンテナ設置方法・受信方法の実現が望まれる。

【0036】

受信プリアンプPAを差動入力アンプとした場合、バイアス回路VBが、差動入力の双方、或いは、一方の入力に接続されていると、該バイアス回路VBのそれぞれが発生する雑音成分も差動増幅されることになり、受信部のS/N比（信号対雑音比）が劣化する。バイアス回路VBの発生する雑音の影響を抑え、受信部のS/N比を改善して最小受信感度特性の良好な受信プリアンプの実現が望まれる。

【0037】

標準電波は、AM変調方式であり、また、1ビットの情報伝送に1秒と非常に遅いため、大小の振幅レベル比が長時間正しく保たれるAGC方式が要求される。このため、ピーク検出回路PDetの保持時定数、或いは、前記ローパスフィルタLPFの時定数を大きくする必要がある。この時定数を大きくすると、大きな時定数容量が必要になり、また、受信開始からAGCが安定するまでの時間が長くなり、さらにまた、受信レベルが変動した場合のAGC追従速度が低下することになる。

【0038】

時定数容量の増大を抑え、大小の振幅レベル比を長時間正しく保つことができ、かつ、受信開始からAGCが安定するまでの時間が短く、受信レベルが変動した場合の追従速度が速い、AGC動作が得られるAGC回路の実現が望まれる。

【0039】

整流器を用いたAM変調波ピーク値包絡線検波では、図30の破線波形のように検波波形が、立上りは速く、立下りが遅くなるため時刻コードを判別するためのパルス幅精度が劣化して受信時刻確度が低下する。よって、ピーク値包絡線に正確に対応した出力が得られる検波回路の実現が望まれる。

【0040】

この発明は、前述の各課題を解決し、線形性を向上させると共に可変ゲイン範囲の広い可変ゲインアンプ、及び、入力部の雑音を軽減しAGC回路の追従特性を改善したAM変調信号受信回路、及び、ピーク値包絡線に正確に対応した出力が得られるAM変調信号検波回路を提供することを目的とする。

【0041】

【課題を解決するための手段】

上記課題を解決するために、本発明の可変ゲインアンプにおいては、差動対を構成するトランジスタT1及びT2と、この差動対を構成するトランジスタT1及びT2の吸込み電流として動作する定電流回路Isとを含んで構成する差動入力アンプにおいて、差動対を構成するトランジスタT1及びT2の、それぞれのソース間に、可変インピーダンスを接続し、この可変インピーダンス値を可変制御することでこの差動入力アンプのゲインを可変としている。

【0042】

また、上記課題を解決するための、本発明のAM変調信号受信回路においては、大振幅状態と小振幅状態の2状態のAM変調信号Viを受信しこの2状態を識別する際に、ピーク値入力端子からのピーク値電圧Vpによりゲインが制御され前記入力AM変調信号Viを増幅して出力Voを出力するゲインコントロールアンプ部（GCA-B）と、ゲインコントロールアンプ部（GCA-B）の増幅出力Voを包絡線検波する包絡線検波回路（SDet）と、包絡線検波回路（SDet）の出力と基準電圧VR2とを比較して論理信号TC0を出力する比較回路（Comp）と、比較回路（Comp）の出力信号TC0を制御入力として、該入力が”H”状態（あるいは”L”状態）の時に前記ゲインコントロールアンプ部（GCA-B）の出力Voのピーク値を検出し、この検出ピーク値Vpをコントロールアンプ部（GCA-B）のピーク値入力端子に出力し、比較回路（Comp）の出力信号が”L”状態（あるいは”H”状態）に変化した時には変化直前の検出ピーク値Vpを保持してこの保持検出ピーク値をピーク値入力端子に出力するピーク検出回路（PDet）とを備えている。

【0043】

また、上記課題を解決する為の本発明のAM変調信号検波回路においては、大振幅状態と小振幅状態の2状態のAM変調信号Viを受信しこの2状態を識別する際に、受信したAM変調信号を所定の振幅値に制御増幅するAGC回路の出力信号Voから、キャリア周波数成分を抽出し、AGC回路の出力信号Voの振幅のピーク位置にタイミングを合わせたクロックパルスCLを出力するタイミング抽出部と、クロックパルスCLを入力してピーク位置にタイミングを合わせたサンプリングクロックパルスSCLを出力するクロック生成部と、比較基準電圧VR2を出力する基準電圧設定部と、サンプリングクロックパルスSCLの入力時にAGC回路の出力Voと比較基

準電圧VR2とをサンプリング比較して比較結果信号TC0を出力し、次のサンプリングクロックパルスSCLが入力されるまで保持するサンプリング比較保持部を備えている。

【 0 0 4 4 】

【発明の実施の形態】

以下、本発明の実施の形態について、図面を参照しながら詳細に説明する。

【 0 0 4 5 】

[第 1 の実施の形態]

[構成]

図 1 ～ 3 は、本発明の第 1 の実施の形態における可変ゲインアンプ回路の具体例を示した図である。

【 0 0 4 6 】

図 1 の可変ゲインアンプ回路は、差動対をなすトランジスタT1及びT2のそれぞれのゲートが入力 V_{i+} 及び V_{i-} （バイアス V_B ）に接続され、該トランジスタT1及びT2のソースに吸込み電流回路 I_s が接続され、該トランジスタT1及びT2のそれぞれのドレインに、一端が電源VDDに接続される負荷抵抗 R_{L1} 及び R_{L2} が接続されて構成される差動アンプの、前記差動対トランジスタT1及びT2のそれぞれのソースと吸込み電流回路 I_s との間に、トランジスタT3及びT4のドレイン及びソースを挿入接続し、該トランジスタT3及びT4のゲートにゲイン制御電圧 V_{gc} を接続して構成する。

【 0 0 4 7 】

MOSトランジスタT1及びT2は飽和領域で動作し、MOSトランジスタT3及びT4は線形領域（飽和しづらい短チャンネルMOSが望ましい）で動作をするように、トランジスタT1及びT2とトランジスタT3及びT4のゲート形状を設定してある。

【 0 0 4 8 】

[動作]

図 1 のMOSトランジスタT1及びT2は飽和領域で動作し、MOSトランジスタT3及びT4は線形領域で動作するように、トランジスタT1及びT2とトランジスタT3及びT4のゲート形状を設定してあるので、MOSトランジスタT1及びT2は差動アンプのア

クティブ増幅素子として動作し、MOSトランジスタT3及びT4は、MOSトランジスタT1及びT2のソースに接続される負帰還用抵抗として動作（図1の破線内）する。

【0049】

MOSトランジスタT1及びT2のトランスファコンダクタンス G_{m1} とゲートとソース間電圧 V_{GS1} とは、自身の形状と、自身に流れるバイアス電流（吸込み電流 I_s の1/2）とにより決定され、該トランジスタのソース電位は、ゲートバイアス電圧 V_B から前記ゲート・ソース間電圧 V_{GS1} を差し引くことで求められ、固定の電圧 V_{s1} になる。即ち、

$$V_{s1} = V_B - V_{GS1}$$

である。

【0050】

一方、MOSトランジスタT3及びT4は、ドレイン・ソース間の電位差がほぼゼロになるようなゲートサイズ設定により線形領域動作、すなわち、可変抵抗素子 R_{s3} 及び R_{s4} として動作（通常、 $R_{s3} = R_{s4}$ ）する。その抵抗値 R_{s3} は、自身の形状と自身のゲートとソース間に印加される電圧 V_{GS3} とにより決定される。該ゲート・ソース間電圧 V_{GS3} は、前記ゲイン制御電圧 V_{gc} から前記固定の電圧 V_{s1} を差し引いた値となる。即ち、

$$V_{GS3} = V_{gc} - V_{s1} = V_{gc} - (V_B - V_{GS1}) = V_{gc} - V_B + V_{GS1}$$

である。したがって、ゲイン制御電圧 V_{gc} （あるいは、ゲートバイアス電圧 V_B ）を変化させることによりトランジスタT3及びT4のゲート・ソース間電圧 V_{GS3} を変化させることができ、その結果、トランジスタT3及びT4の抵抗 R_{s3} 及び R_{s4} を変化させることができる。

【0051】

以上、トランジスタT1～T4を含めた差動回路のトランスファコンダクタンス G_m 及び差動電圧ゲイン A は、

$$G_m = 1 / (R_{s3} + R_{s4} + 2 / G_{m1})$$

$$A = G_m \times (R_{L1} + R_{L2}) = (R_{L1} + R_{L2}) / (R_{s3} + R_{s4} + 2 / G_{m1})$$

となり、ゲイン制御電圧 V_{gc} （あるいは、ゲートバイアス電圧 V_B ）を変化させることによりトランスファコンダクタンス G_m 及び差動電圧ゲイン A を変化させるこ

とができ、該差動回路は可変ゲインアンプとして動作する。

【0052】

図2の可変ゲインアンプ回路は、図1の回路の吸い込み電流回路 I_s を2つに分割（電流値 $1/2$ ）して、トランジスタT1及びT2のそれぞれのソースに接続した構成で、基本的には図1と同様に動作する。図2の回路では、トランジスタT3及びT4にバイアス電流が流れないので、該トランジスタのソース・ドレイン間線形動作領域としては±両電圧領域が使えるので、可変インピーダンス動作の線形性が良く入出力間の線形性が良好になる。

【0053】

図1及び図2の可変ゲインアンプ回路では、トランジスタT3及びT4のゲート・ソース間電圧 V_{GS3} をゼロに近づけると、前記抵抗 R_{s3} 及び R_{s4} が限りなく増大し、前記差動電圧ゲイン A が限りなくゼロに近づいていくが、図3のように、前記トランジスタT3及びT4で構成する可変抵抗に並列に固定抵抗 R_s を接続しておくと、該抵抗と前記トランジスタT3及びT4の並列合成抵抗は、固定抵抗値 R_s より小さくならないので、この構成の可変ゲインアンプは最小ゲインを持つことになる。

【0054】

図1のトランジスタT1及びT2のソース間に、固定抵抗 R_s を接続しても同様効果が得られる。

【0055】

トータルゲイン及び可変ゲイン幅を大きく取れるように可変ゲインアンプを多段接続する構成において、該可変ゲインアンプの入力レベルを最小レベルから大きくしていく場合、各段のゲインを一様に下げるよりも後段側から順にゲインを下げる方が、ゲインを下げると雑音特性に大きな影響がある初段アンプのゲインを確保でき、信号/雑音比が向上する。このような構成にするには、図3のような、最小ゲインを持つ可変ゲインアンプが必要となる。

【0056】

トランジスタT3及びT4は、可変抵抗として動作すると説明してきたが、現実のMOSトランジスタでは、ゲート・ソース間及びゲート・ドレイン間に容量成分があり、この容量が合成される（直列接続容量）形で、前記可変抵抗に並列接続され

る。この容量と可変抵抗の時定数で決まる周波数を極として高域ピーキングが生じる。

【0057】

図3の可変ゲインアンプ回路のように、トランジスタT3及びT4の各ゲートにゲート抵抗RG1及びRG2を接続すると、前記のゲート・ソース間及びゲート・ドレイン間合成容量のピーキング効果を軽減できる。

【0058】

図2及び図3の可変ゲインアンプ回路のトランジスタT3及びT4は、合成した値が同じであれば、1個のトランジスタに置き換えても良いし、逆に、3個以上複数個を、直列、あるいは、並列接続としても良い。前記のゲート・ソース間及びゲート・ドレイン間合成容量のピーキング効果等を考慮して、適宜な選択設定をする。

【0059】

図1～3の可変ゲインアンプ回路例は、N-MOS素子で構成しているが、P-MOSでの構成、P-MOS、N-MOSの混成構成、接合形電界効果素子を用いた構成としても良い。トランジスタT1及びT2に関しては、バイポーラ形トランジスタとしても良い。トランジスタT3及びT4に関しては、N-MOS素子とP-MOS素子とを組みあわせても良い。また、短チャンネル形にすると、最小抵抗値が下げられるし、飽和特性が弱まるか無くなるため、可変抵抗として使える領域が広がる。

【0060】

以上説明したように、第1の実施の形態によれば、以下の効果が得られる。

(1) 差動回路が電源とグランド間に立て積みされないので、最小動作電源電圧が下がる。(図4及び図5の構成との比較)

(2) アンプ動作となる差動対トランジスタ(T1とT2)に常に全吸込み電流(I_s)を流す構成なので、ゲインを下げてでも出力ダイナミックレンジが一定で、小さくなることがない。(図6の構成との比較)

(3) ゲインを下げるに伴い、入力線形入力範囲が広がる。(図6の構成との比較)

(4) 吸い込み電流 I_s と負荷抵抗RL1及びRL2で決定される出力ダイナミックレン

ジ範囲内であれば、入出力間の線形性（或いは大小関係の一様性）が保たれる。

（図6の構成との比較）

（5）最小ゲインが無限小となる構成も、固定値の最小ゲインを持つ構成も、実現できる。

【0061】

〔第2の実施の形態〕

〔構成〕

図8（a）～（d）は、本発明の第2の実施の形態に於けるAM変調信号受信回路の具体例を示す図である。

【0062】

図8（a）のAM変調信号受信回路は、ピーク値入力端子からの入力電圧 V_p が内蔵基準値より大なる場合にゲインを下げ、小なる場合にゲインを上げ、このゲインで入力AM変調信号 V_i を増幅して出力信号 V_o を出力するゲインコントロールアンプ部GCA-Bと、ゲインコントロールアンプ部GCA-Bの出力信号 V_o を包絡線検波する包絡線検波回路SDetと、この包絡線検波回路SDetの出力と基準電圧 V_{R2} とを比較して比較結果信号TC0を出力する比較回路Compと、この比較回路Comp出力信号TC0を制御入力として、比較回路Compの出力信号が大振幅入力状態に対応する出力信号の時にゲインコントロールアンプ部GCA-Bの出力信号 V_o のピーク値を検出する状態となって、この検出ピーク値 V_p をゲインコントロールアンプ部GCA-Bのピーク値入力端子に出力し、比較回路Compの出力信号TC0が小振幅入力状態に対応する出力信号に変化した時には、変化直前の検出ピーク値 V_p を保持して、この保持検出ピーク値 V_p をゲインコントロールアンプ部GCA-Bのピーク値入力端子に出力するピーク検出回路PDetとから構成される。

【0063】

前述の入力AM変調信号 V_i は、図7に例示される、バーアンテナLと、同調キャパシタCと、プリアンプPAと、等により生成される。ゲインコントロールアンプ部GCA-Bと、包絡線検波回路SDetの構成は、図7と同様である。

【0064】

図8（a）のピーク検出回路PDetは、ゲインコントロールアンプ部GCA-Bの出

力信号を整流する整流回路Rec1と、この整流回路Rec1の出力とグランド（或いは電源）間に接続する放電経路用抵抗R1（或いは定電流回路I1としても良い）と、整流回路Rec1の出力に導通端子の一端を接続し、比較回路Compの出力信号TC0を制御入力として、比較回路Compの出力信号TC0が大振幅入力状態に対応する出力の時に導通状態になり比較回路Compの出力信号TC0が小振幅入力状態に対応する出力に変化した時に非導通状態になるトランスファゲートTG1と、このトランスファゲートTG1の導通端子の他端とゲインコントロールアンプ部GCA-Bのピーク値入力端子に一端が接続され他端がグランド（或いは電源）に接続されるピークホールド容量C1とより構成される。

図8（b）は、図8（a）の放電経路用抵抗R1を、放電経路用定電流回路I1に置き換えられることを示している。

【0065】

〔動作〕

図8（a）のAM変調信号受信回路が受信するAM変調信号Viは、定常受信状態では大振幅状態と小振幅状態の2つの状態のみが存在し、大振幅状態を受信している時は比較回路Comp出力TC0を”H”状態（あるいは”L”状態）とし、小振幅状態を受信している時は比較回路Comp出力TC0を”L”状態（あるいは”H”状態）とする。送信所からの距離によって受信するAM変調信号Viのレベルは大きく変動する。

【0066】

大振幅状態と小振幅状態の2つの状態のみが存在するAM変調信号Viの具体的な例として、従来回路の説明でも述べた通信総合研究所から送信される標準電波がある。

【0067】

図8（a）の回路では、比較回路Compの出力TC0が”H”状態（あるいは”L”状態）の時、ピーク検出回路PDet内のトランスファゲートTG1が導通となるので、ピーク検出回路PDetは通常のピーク検出回路として動作する。従って、ピーク検出回路PDetとゲインコントロールアンプ部GCA-Bとは連携して通常のAGCアンプとして動作するので、ゲインコントロールアンプ部GCA-Bの出力振幅Voが一定と

なるように制御される。

【0068】

比較回路Compの出力信号TC0が” L” 状態（あるいは” H” 状態）の時は、ピーク検出回路PDet内のトランスファゲートTG1が非導通となるので、このトランスファゲートTG1が非導通となる直前のピークホールド容量C1への蓄積電荷に基づく固定した電圧がピーク検出回路PDetの出力Vpとして出力される。

【0069】

図7の従来回路で、ゲインコントロールアンプ部GCA-Bの出力振幅が大きくなった場合のピーク検出回路PDetの出力応答は整流回路Rec1のオン抵抗（小抵抗）とピークホールド容量C1との小時定数の速い応答となるが、ゲインコントロールアンプ部GCA-Bの出力振幅が小さくなった場合のピーク検出回路PDetの出力応答の方は放電経路用抵抗R1（大抵抗）とピークホールド容量C1との大時定数での遅い応答となる。

【0070】

ゲインコントロールアンプ部GCA-Bの出力振幅が小さくなった場合の応答を早めるには、放電経路用抵抗R1（大抵抗）とピークホールド容量C1との時定数を小さくすれば良いが、こうすると、AM変調波の小振幅状態を受信中に、ピーク検出回路PDetの出力Vpが急速に小さくなるので、ゲインコントロールアンプ部GCA-Bのゲインが急速に増大することになり、小振幅状態の受信時間が長い場合（図35の” M” など）ゲインコントロールアンプ部GCA-Bの出力信号Voも急速に増大していき、小振幅入力状態にもかかわらず前記包絡線検波回路SDet出力が基準電圧VR2（比較器Compのスレッシュホールド電圧）を超え、比較器Compの出力信号TC0が大振幅入力状態に相当する” H” 状態（あるいは” L” 状態）へと反転してしまい誤動作となる。

【0071】

このような該誤動作を防ぐために、図7の回路では、放電経路用抵抗R1とピークホールド容量C1とのホールド時定数は、数ビット分に相当するような大きい時定数に設定する必要がある。

【0072】

標準電波に重畳される時刻コードは、1 bit/secと非常に遅いので、数ビット分の時間でも非常に長い時間となる。

【 0 0 7 3 】

図 8 (a) の回路では、電源投入時はピークホールド容量C1の蓄積電荷がゼロなので、ゲインコントロールアンプ部GCA-Bは最大ゲインの状態を受信を始め、このゲインコントロールアンプ部GCA-Bの出力振幅VoはAGC安定状態の振幅より必ず大きいレベルから始まる。このため、この出力を検波した検波出力信号は必ず基準電圧VR2より大となるため、比較器Compの出力信号TC0が大振幅入力状態に相当する” H ” 状態（あるいは” L ” 状態）となって、トランスファゲートTG1が導通となり、ゲインコントロールアンプ部GCA-Bの出力振幅Voが大きいこともプラスしてピークホールド容量C1への充電が急速に行われ、ゲインコントロールアンプ部GCA-Bの制御電圧Vpが急上し、それによりゲインが急低し、高速にAGC安定状態に達する。

【 0 0 7 4 】

小振幅入力状態になると、検波出力は基準電圧VR2より小となり、比較器Compの出力信号TC0が” L ” 状態（あるいは” H ” 状態）となって、トランスファゲートTG1が非導通となり、ピークホールド容量C1の充放電が停止し、ゲインコントロールアンプ部GCA-Bの制御電圧Vpが固定値となり、ゲインコントロールアンプ部GCA-Bは固定ゲイン動作となり、小振幅入力状態の継続時間の長短に関係なく安定した小振幅受信動作が行われる。

【 0 0 7 5 】

再び、大振幅受信状態になると、検波出力信号は基準電圧VR2より大となり、比較器Compの出力信号TC0が” H ” 状態（あるいは” L ” 状態）に戻り、トランスファゲートTG1が導通に戻り、出力振幅を一定値に調整する通常のAGC動作に戻る。以後、前述の動作が継続される。

【 0 0 7 6 】

小振幅入力状態ではピークホールド容量C1の充放電が停止するので、放電経路用抵抗R1とピークホールド容量C1のホールド時定数を小さくしても安定したAGC動作ができる。

【 0 0 7 7 】

この時定数を小さくすると、電源オンからの受信時のAGC安定状態に達する時間を短縮でき、また、フェージング等による受信レベル変動に対する応答が早くゲインコントロールアンプ部GCA-Bの出力信号 V_o の振幅が安定する。

【 0 0 7 8 】

図 8 (a) の回路例では、放電経路用として抵抗 R_1 を用いたが、この抵抗の代わりに放電経路用として定電流回路 I_1 を用いてもよい（この例は、図示していない）。

【 0 0 7 9 】

また、図 8 (a) の回路例では、ピークホールド容量 C_1 の充放電動作をオン/オフするトランスファゲート TG_1 を用いたが、図 8 (c) では、放電経路用抵抗 R_1 に流れる放電電流をオン/オフするトランスファゲート TG_1 として、小振幅入力状態におけるピークホールド容量 C_1 の放電を停止させるようにして、図 8 (a) と同等の効果をj得ている。

【 0 0 8 0 】

図 8 (d) では、放電経路用定電流回路 I_1 に流れる放電電流 I_1 をオン/オフする構成として、図 8 (a) と同等の効果をj得ている。

【 0 0 8 1 】

トランスファゲートは、NチャンネルタイプとPチャンネルタイプを組み合わせた形にすると、このトランスファゲートのオン/オフ時における、ゲートとチャンネル間の容量の充放電によるピークホールド容量 C_1 の充電電荷の変動（ V_p の変動につながる）を軽減できる。

【 0 0 8 2 】

以上説明したように、第 2 の実施の形態によれば、下記の効果が得られる。

(1) 放電経路用抵抗 R_1 （或いは定電流回路 I_1 の定電流 I_1 ）とピークホールド容量 C_1 で決定されるAGC用ホールド時定数決定に、小振幅入力状態の継続時間を考慮する必要がないので、ホールド時定数を小さくでき、ピークホールド容量 C_1 を、小容量化できる。

(2) AGC用ホールド時定数を小さくできるので、大振幅入力状態でのAGC応答を

高速化できる。

(3) (2) により、電源オンからの受信時のAGC安定状態に達する時間を短縮でき、また、フェージング等による受信レベル変動に対する応答が早くゲインコントロールアンプ部GCA-Bの出力 V_o の振幅が安定する。

(4) 小振幅入力状態の継続時間が長い場合でも、ゲインコントロールアンプ部GCA-Bのゲインが増大していく現象が発生せず、ゲインコントロールアンプ部GCA-Bの出力信号 V_o の振幅を固定振幅に保持できるので、小振幅入力状態の継続時間が長い場合でも比較器Compの出力信号TC0の誤動作が生じない。

(5) 小振幅入力状態の継続時間が長い場合でも、ゲインコントロールアンプ部GCA-Bのゲインが増大していく現象が発生しないので、比較器Compの出力信号TC0のパルス幅誤差が小さくなる。

【0083】

[第3の実施の形態]

[構成]

図9(a)～(e)は、本発明の第3の実施の形態におけるAM変調信号受信回路の具体例を示した図である。

【0084】

第3の実施の形態のAM変調信号受信回路は、第1の構成として、第2の実施の形態のAM変調信号受信回路において、ピーク検出回路PDetのピークホールド容量C1に、放電経路用抵抗R1（或いは放電経路用定電流回路I1）より小さな電流を流す第2の放電経路R3（或いは定電流I3）を付加した構成（図9(a)）を示す。

図9(b)は、図9(a)の第2の放電経路用抵抗R3を、第2の放電経路用定電流回路I3に置き換えられることを示している。

【0085】

第2の構成としては、比較器Compの出力信号TC0を入力して時計動作等を行う図示しないマイコン等からの制御信号HS-AGCと比較器Compの出力信号TC0とをOR合成してトランスファゲートTG1の導通/非導通を制御する構成（図9(c)）を示す。

【0086】

第3の構成としては、比較器Compの出力信号TC0を入力して時計動作等を行う図示しないマイコン等からの制御信号RESETにより、ピークホールド容量C1を強制放電させる構成（図9（d））を示す。

【0087】

第4の構成としては、比較器Compの出力信号TC0が、大振幅受信時に相当する出力状態に変化した時には直ちに”0”を出力し、小振幅受信時に相当する出力状態に変化してからは、所定の時間が経過した時に”1”を出力するタイマー回路TMを設け、該タイマー回路TMの出力と、比較器Compの出力信号TC0出力とを、OR合成した信号でトランスファゲートTG1の導通/非導通を制御する構成（図9（e））を示す。

【0088】

[動作]

図8（a）のAM変調信号受信回路では、小振幅受信中に電波時計の向きが変更されたなど、AGC動作が追従できない状態で受信レベルが大きく低下し、大振幅受信時の前記包絡線検波回路SDet出力が基準電圧VR2を超えられない状態になると、トランスファゲートTG1が非導通状態のままとなり、永続的にAGC動作とならずゲインコントロールアンプ部GCA-Bのゲインが固定され、比較器Comp論理出力TC0は小振幅受信時に相当する出力状態に固定されることになる。

【0089】

このような場合、図9（a）の回路では、前記第2の放電経路用抵抗R3（あるいは第2の放電経路用定電流回路I3）に流れる微小電流が、ピークホールド容量C1の蓄積電荷を放電させてゲインコントロールアンプ部GCA-Bのゲインをゆっくりと増大させて正常なAGC動作に復帰させ、比較器Compの出力信号TC0の固定状態から脱却する。

【0090】

図9（c）の回路では、図示しないマイコン等が、比較器Comp論理出力TC0が前記の小振幅受信時に相当する出力状態に固定されたと判断した場合に、前記トランスファゲートTG1を強制導通させる制御信号HS-AGCを出力し、この制御信号H

S-AGCがOR合成部を通してトランスファゲートTG1を強制的に導通状態にさせて正常なAGC動作に復帰させ、比較器Compの出力信号TC0の固定状態から脱却する。

【 0 0 9 1 】

図 9 (d) の回路では、図示しないマイコン等が、比較器Comp論理出力TC0が小振幅受信時に相当する出力状態に固定されたと判断した場合に、ピークホールド容量C1を強制放電させる制御信号RESETを出力し、ピークホールド容量C1を強制放電させてゲインコントロールアンプ部GCA-Bを初期の大ゲイン状態に戻し、正常なAGC動作に復帰させ、比較器Compの出力信号TC0の固定状態から脱却する。

【 0 0 9 2 】

前記制御端子RESETを、従来の回路（図 7）で説明した電源回路Regの制御端子PONに接続（図 9 (d) 破線）して、PON/RESET端子としておき、各部への電源供給をオフ（PON端子からの制御）する時に、合わせてピークホールド容量C1を強制放電（RESET端子からの制御）させる構成としてもよい。

【 0 0 9 3 】

図 9 (e) の回路では、比較器Compの出力信号TC0が小振幅受信時に相当する出力状態に変わって後、前記所定の時間以内（例えば、1 sec以内）に比較器Compの出力信号TC0が大振幅受信時に相当する出力状態に、その都度変化していればタイマー回路TM出力は“0”状態が継続し、前記OR合成結果は、比較器Compの出力信号TC0と同じとなり、図 8 (a) の動作説明と同様な動作となる。

【 0 0 9 4 】

前記所定の時間を超えても比較器Compの出力信号TC0が大振幅受信時に相当する出力状態とならない（前記の障害状態に陥った）場合、タイマー回路TM出力が“1”に反転し、OR合成部を通った該“1”信号がトランスファゲートTG1を強制導通させることで、従来回路と同様なAGC動作になり、比較器Compの出力信号TC0の固定状態から脱却する。比較器Compの出力信号TC0として大振幅受信時に相当する出力状態が現れるまで、タイマー回路TM出力“1”状態が継続し従来回路と同様なAGC動作が継続する。従来回路と同様なAGC動作が継続する中で大振幅受信時に相当する出力状態が現れると、直ちにタイマー回路TM出力は“0”状態となり、冒頭の図 8 (a) と同様な動作に戻る。

【0095】

図9(c)～(e)の回路では、トランスファゲートTG1と放電経路用抵抗R1とを、図8(b)～(d)のように置き換えても同じ効果が得られる。また、図9(a)～図9(e)までの回路方式を併用しても良い。

【0096】

尚、図25に示した回路図は、図9(c)、(e)におけるOR回路とトランスファゲートTG1の回路が、二つのトランスファゲートTG1及びTG2の並列回路に置き換え可能であることを示す回路例である。

【0097】

また、図28に示した回路図は、図9(e)のタイマー回路TMの具体例を示したものであり、図28のQiが”H”入力に変化した時はトランジスタT1によりコンデンサCに急速充電され、Qoが急速に”L”に変わる。Qiが”L”入力に変化した時は、トランジスタT1がオフし、定電流回路の定電流IsによるコンデンサCの放電が開始され、Qoが該放電時間（前記の所定時間に相当する）を置いて”H”に変わる。該放電時間（所定時間）以内にQiが”H”入力に変化すれば、トランジスタT1によりコンデンサCが再び急速充電されるので、Qoが”L”に維持される。

【0098】

以上説明したように、第3の実施の形態によれば、第2の実施の形態の効果に加えて、受信中に、AGC動作が追従できない状態で受信レベルが低下し、比較器Compの出力信号TCOが小振幅受信時に相当する出力状態に固定されてしまった（誤動作状態）場合に、該状態から脱出して正常動作に戻ることができるという効果がある。

【0099】

[第4の実施の形態]

[構成]

図10(a)～(d)は、本発明の第4の実施の形態におけるAM変調信号受信回路の具体例を示した図である。

【0100】

第4の実施の形態のAM変調信号受信回路では、第2、或いは、第3の実施の

形態のAM変調信号受信回路において、AM変調信号受信回路のピーク検出回路PDetのピークホールド容量C1の充放電を、外部制御信号AGCHにより強制的に停止させる機能を付加して構成する。

【0101】

図10(a)に示すAM変調信号受信回路例は、第2の実施の形態の図8(a)の回路において、比較器Compの出力信号TCOと外部制御信号AGCHとをAND合成し、このAND合成した信号でトランスファゲートTG1を制御する例を示している。

【0102】

比較器Compの出力信号TCOと外部制御信号AGCHとをAND合成し、このAND合成した信号にてトランスファゲートTG1を制御する方法は、また、図9(d)についても適用できるし、図8(b), (d)に順じた適用もできる。(図示せず)

【0103】

図10(b)に示すAM変調信号受信回路例は、第3の実施の形態の図9(a)の回路において、トランスファゲートTG1及び第2の放電経路用抵抗R3(或いは第2の放電経路用定電流回路I3)の接続と、ピークホールド出力となるピークホールド容量C1端子との接続点に、第2のトランスファゲートTG2を挿入し、この第2のトランスファゲートTG2の導通/非導通を、外部制御信号AGCHにて制御する例を示している。

【0104】

図10(c)に示すAM変調信号受信回路例は、第3の実施の形態の図9(c)の回路において、比較器Compの出力信号TCOと前述の外部制御信号HS-AGCのOR合成出力と、外部制御信号AGCHとをAND合成し、このAND合成出力にてトランスファゲートTG1を制御する例を示している。

【0105】

図10(c)の外部制御信号HS-AGCを、図9(e)に示すタイマー回路TMにおきかえれば、同様に適用できる。

【0106】

尚、図26に示した回路は、図10(a)、図10(c)のAND回路とトランスファゲートTG1の回路を、2つのトランスファゲートTG1及びTG2の直列回路に

置き換えが可能であることを示す回路例である。

【0107】

また、図27に示した回路は、図10(b)の具体的な回路例であり、図27の可変ゲインアンプGCA(1段構成の例)とゲインコントロールアンプDAとで、図10(b)のゲインコントロールアンプブロックGCA-Bを構成している。

【0108】

[動作]

外部制御信号AGCHが”L”となっている間、図10(a)及び図10(c)の回路ではトランスファゲートTG1が、図10(b)の回路では第2のトランスファゲートTG2が、それぞれ非導通となり、ピークホールド容量C1の充放電経路が切断状態となり、ゲインコントロールアンプ部GCA-Bを固定ゲイン動作とすることができる。

【0109】

時分秒の針表示をステッピングモータなどで駆動する電波時計では、駆動時に大きなノイズが発生する可能性があり、AGC動作のピークホールド容量C1を小さくしてAGC応答速度を改善する第2及び第3の実施の形態の回路のAM変調信号増幅経路に、このノイズが重畳すると、ピークホールド容量C1の充電電荷量が異常となり、ゲインコントロールアンプ部GCA-Bの出力振幅が異常になる場合が起こり得る。

【0110】

こうしたノイズ発生タイミングは予測がつけられるので、このタイミング時に、外部制御信号AGCHを”L”とすれば、ピークホールド容量C1の充電電荷量が異常となることを防止でき、ゲインコントロールアンプ部GCA-Bの出力振幅を正常に保つことができる。

【0111】

第2～第4の実施の形態では、ハード的に、前記トランスファゲートTG1や、第2のトランスファゲートTG2を制御する例を示してきたが、比較器Compの出力信号TC0を入力して時計動作等をしているマイコン(図示しない)等が十分な動作速度を持っているならば、比較器Compの出力信号TC0が前記の小振幅受信時に

相当する出力となっている時には、該マイコン等からの制御信号AGCHを使ってトランスファゲートTG1を非導通にさせる等、制御の全てを該マイコン等で行っても良い。図10(d)のAM変調信号受信回路は、その例を示している。

【0112】

以上説明したように、第4の実施の形態によれば、第2及び第3の実施の形態の効果に加えて、時分秒の針表示用ステッピングモータ駆動時ノイズなど、大振幅ではあるが発生タイミングが予測可能なノイズのAGCに与える影響を軽減できるという効果がある。

【0113】

[第5の実施の形態]

[構成]

図11(a)、(b)は、本発明の第5の実施の形態におけるAM変調信号受信回路の具体例を示した図である。

【0114】

図11(a)に示す第5の実施の形態におけるAM変調信号受信回路では、第2～第4の実施の形態のAM変調信号受信回路において、比較器Compの出力信号TC0を遅延させる遅延回路Dと、この遅延回路Dの出力信号から所定の時間幅のパルス outputs モノステーブルマルチバイブレーターMMと、該モノステーブルマルチバイブレーターMMの出力と比較器Compの出力信号TC0とを切り換えて前記トランスファゲートTG1の制御信号とする切り換えスイッチSとを付加して構成する。

【0115】

図11(b)に示す第5の実施の形態におけるAM変調信号受信回路では、第2～第4の実施の形態のAM変調信号受信回路において、比較器Compの出力信号TC0を遅延させる遅延回路Dと、この遅延回路Dの出力信号から所定の時間幅のパルス outputs モノステーブルマルチバイブレーターMMと、該モノステーブルマルチバイブレーターMMの出力と比較器Compの出力信号TC0とをAND処理するAND回路と、該AND回路出力と比較器Compの出力信号TC0とを切り換えて前記トランスファゲートTG1の制御信号とする切り換えスイッチSとを付加して構成す

る。

【0116】

図11(a)の回路は、ピーク検出回路PDetの出力から基準電圧VR2を生成できることも示した図であり、図8(a)～図10(d)に示すように、独立した基準電圧VR2としてもよい。また、前記トランスファゲートTG1の代わりに、図8(c)の例のように、放電経路用定電流回路I1に流れる放電電流I1をオン/オフする構成としても良い。

【0117】

[動作]

第5の実施の形態におけるAM変調信号受信回路では、第2～第4の実施の形態におけるAGC方法の他に、切換スイッチSにより該遅延回路D及びモノステーブルマルチバイブレーターMMを介する経路とすることにより、比較器Compの出力TC0が大振幅入力状態に対応する出力に変化してから、前記遅延回路Dが設定する遅延時間において、前記モノステーブルマルチバイブレーターMMによって設定される所定のパルス幅時間だけ、前記トランスファゲートTG1(あるいはオン/オフ可能な定電流I1)が導通状態となり、この導通状態の間だけAGC動作をさせ、その他の時間領域では、ピーク検出回路PDetが直前の状態を保持しゲインコントロールアンプ部GCA-Bのゲインを固定にするAGC方法が行える。

【0118】

遅延回路Dは、所定の待ち時間をつくるものであり、モノステーブルマルチバイブレーターで構成してもよい。切換スイッチも、前述の2方法のAGCが使えるようにするものであり、他の論理構成や複数のトランスファゲートを用いた構成にしてもよい。この切換制御は、このAM変調信号受信回路に付属するマイコン等で行う。

【0119】

図11(a)の回路では、スイッチSを比較器Compの出力信号TC0を直接前記トランスファゲートTG1の制御に使う側としてアイドル受信を開始し、比較器Compの出力信号TC0が“H”/“L”の交番出力となる状態を確認できるようになったところで、スイッチSを遅延回路D及びモノステーブルマルチバイブレーターMMを介する

経路となる接続に切り換えて本受信を行う。これにより、比較器Compの出力信号TC0の”H”出力の継続時間が正確な受信（”L”出力の継続時間も正確になる）を実現することができる。

【0 1 2 0】

以下、その動作を詳述する。

【0 1 2 1】

電波時計用のAM変調信号受信回路では、帯域外雑音を除去して最小レベル側の受信感度を高めるために帯域幅10Hz前後の狭帯域のバンドパスフィルタBPFが使用され、そのため、ゲインコントロールアンプ部GCA-Bの出力信号のピーク値の包絡線が帯域幅10Hz前後の狭帯域に対応した緩やかな変化（変化に100msec前後の時間を要する）となる。

【0 1 2 2】

図36に、前記ゲインコントロールアンプ部GCA-B内のバンドパスフィルタBPFの入出力の波形例を模式的に示す。図36の、領域Aは小振幅入力状態の最後尾部分、領域Bは大振幅入力状態に変わりバンドパスフィルタBPFの帯域制限特性（帯域幅10Hz前後の狭帯域）によって暫時振幅が増加していく部分、領域Cは大振幅入力が続くAGC制御により出力振幅 V_o が所定のレベル（レベル一定状態）に安定制御されている部分、領域Dは小振幅入力状態に変わりバンドパスフィルタBPFの帯域制限特性によって暫時振幅が減少していく部分、領域Eは小振幅入力状態の初頭部分、であり、領域Eから所定の時間後は領域Aに接続し、繰り返される。

【0 1 2 3】

従来回路のAGC動作、及び、第2～4の各実施の形態のAM変調信号受信回路のトランスファゲートTG1の導通状態におけるAGC動作（通常のAGC動作）は、前記ゲインコントロールアンプ部GCA-Bの出力振幅 V_o を、常にC領域に示される振幅に揃えようと動作する。すなわち、C領域以外の振幅の小さい領域では、AGC回路の時定数で制限される応答速度でC領域の振幅目指して振幅が増大する。

【0 1 2 4】

従って、従来回路のAGC動作の前記ゲインコントロールアンプ部GCA-Bの出力振

幅 V_0 は、図 3 6 の、E 領域振幅より A 領域振幅の方が大きく、B 領域の立ち上がりはバンドパスフィルタBPFの帯域制限特性がありながらもAGC動作により加速され、C 領域の立ち下がりにはバンドパスフィルタBPFの帯域制限特性による緩い立ち下がりがAGC動作により更に減速される。この現象により、比較器Compの入力基準電圧 VR_2 を、C 領域のレベルとその1/10のレベル（日本の標準電波受信の場合）の中位に対応する値に設定すると、比較器Compの出力信号TC0は、大振幅に対応する側のパルス幅が必ず伸びる（ $td_1 < td_2$ ）ことになる。

【0 1 2 5】

図 3 5 から解かるように、大振幅に対応する論理出力TC0のパルス幅で“ M” / “ 0” / “ 1” を識別するので、パルス幅の正確さが該識別の正確さにつながっていく。

【0 1 2 6】

第 2 ～ 4 の各実施の形態におけるAGC動作でも、比較器Compの出力信号TC0が小振幅に対応する出力になっている前記領域では、前記ゲインコントロールアンプ部GCA-Bが固定ゲインになっており、この間は、前記ゲインコントロールアンプ部GCA-Bの出力振幅 V_0 の振幅増大現象が生じないが、領域B 後半と領域D 前半では比較器Compの出力信号TC0が大振幅に対応する出力になっており、やはり前記の振幅増大現象が生じることになり、従来回路より大幅に改善はされているものの、大振幅に対応する側のパルス幅が必ず伸びることになる。

【0 1 2 7】

従来の回路でこの振幅増大現象による影響を抑えるためには、振幅増大現象が生じる間のAGC回路の時定数（前記ピーク検出回路PDetの時定数、あるいは、低域通過フィルターLPFの時定数）を、バンドパスフィルタBPFの帯域制限特性による緩い立ち上り立ち下り時間より、十分大きく設定しておく必要がある。

【0 1 2 8】

更に、微小入力まで受信範囲を広げるためには、AGCアンプの最大ゲインを大きくし、可変ゲイン範囲を広げる必要がある。この改善をすると、前記ピーク検出回路PDetの出力 V_p の変化に対するゲインの変化が大きくなるので、前記振幅増大現象を抑えるためには、AGC回路の時定数を更に大きくする必要がある。

【 0 1 2 9 】

図 1 1 (a) の回路において、前記遅延回路 D の遅延時間をおおむね領域 B に相当する時間に設定し、モノステーブルマルチバイブレーター MM のパルス幅を大振幅の最小継続時間 (図 3 5 の " M " 符合に相当する時間) に設定しておくこと、完全フラットレベルとなる前記 C 領域の最小継続時間だけ通常の AGC 動作をさせ、その他の時間は前記ゲインコントロールアンプ部 GCA-B を固定ゲイン動作させることができ、前期の振幅増大現象を完全になくすることができるので、大振幅状態と小振幅状態の時間幅が正確なものになる。

【 0 1 3 0 】

完全フラットレベルとなる前記 C 領域の最小継続時間だけ通常の AGC 動作をさせるだけなので、前記最大ゲイン、あるいは、可変ゲイン範囲を大きくしても、AGC の時定数を大きくする必要がない。

【 0 1 3 1 】

このように、ピーク検出回路 PDet の時定数を大幅に小さくすることが可能となり、AGC レスポンスの高速化と時定数容量 C1 の低容量化が実現する。

【 0 1 3 2 】

図 1 1 (a) の回路で受信回路の電源オン直後に、いきなり前記遅延回路 D 等を介する本受信とすると、前期の領域 E から領域 A の小振幅入力状態で AGC 動作が行われ、小振幅入力状態のゲインコントロールアンプ部 GCA-B の出力振幅 V_o を図 3 6 の C 領域に相当するレベルに合わせてゲインを固定にしてしまう可能性がある。この状態では、比較器 Comp の入力に常に大振幅入力状態に対応する入力レベル以上となってしまうため、比較器 Comp の出力信号 TC0 も大振幅入力状態に対応するレベルに固定されてしまうこと (誤動作) になる。

【 0 1 3 3 】

前記アイドル受信は、まず大振幅入力状態を選び出して、該状態の出力振幅 V_o を前記 C 領域に相当するレベルに合わせる AGC 状態をつくる。その後前記遅延回路 D 等を介する本受信を行うことで、比較器 Comp の出力信号 TC0 のパルス幅が正確な受信が可能になる。

【 0 1 3 4 】

また、基準電圧VR2は包絡線検波回路SDetの出力ピーク値とボトム値との中間値に設定するのが最適である。図11(a)の回路では、ピーク検出回路PDetの保持容量が小さくても、ピーク検出回路PDetの出力VPが、従来回路、あるいは、第2～4の実施の形態に比べて安定であり、ピーク検出回路PDetから基準電圧VR2を決める方法がより有効になる。

【0135】

遅延回路Dの遅延時間は、おおむね領域Bに相当する時間に設定され、この間のゲイン増大による出力振幅Voの過剰な振幅増大を防止するものである。基準電圧VR2を固定値にするなど、この間のゲイン増大による前期出力振幅Voの振幅増大が問題にならない構成では、前記遅延回路Dを省略しても良い。

【0136】

また、何らかの原因で前記モノステーブルマルチバイブレーターMMが誤パルスを発した場合にAGC動作が異常動作となってしまうが、図11(b)に示すように、モノステーブルマルチバイブレーターMMの出力と比較器Compの出力信号TCOとをAND合成する構成とすると、何らかの原因でモノステーブルマルチバイブレーターMMが誤パルスを発した場合の誤動作を防止できる。

【0137】

以上説明したように、第5の実施の形態によれば、下記の効果が得られる。

- (1) 前記ピーク検出回路PDetの時定数を大幅に小さくすることが可能となり、AGCレスポンスの高速化と該時定数容量C1の低容量化が実現する。
- (2) 定数前記ゲインコントロールアンプ部GCA-Bの出力振幅が安定に制御され、大振幅状態小振幅状態の時間幅が正確になる。
- (3) ピーク検出回路PDetから基準電圧VR2を決める方法が有効になる。
- (4) 可変ゲインアンプの最大ゲイン、可変ゲイン範囲を大きくするのに伴うAGC時定数の増大を防止できる。
- (5) 上記(1)～(4)により、受信レベル範囲の広い、誤動作の少ないAM信号受信回路を実現できる。

【0138】

[第6の実施の形態]

〔構成〕

図12は、本発明の第6の実施の形態におけるAM変調信号受信回路の具体例を示した図である。

【0139】

図12のAM変調信号受信回路は、複数局の同時受信が可能なAM変調信号受信回路であり、キャリア周波数 f_1 の電波を同調受信するアンテナコイル L_1 及び同調容量 C_1 等とで構成する第1の同調回路と、この第1の同調回路の出力信号を増幅して出力するプリアンプ PA_1 と、キャリア周波数 f_2 の電波を同調受信するアンテナコイル L_2 及び同調容量 C_2 等とで構成する第2の同調回路と、この第2の同調回路の出力信号を増幅して出力するプリアンプ PA_2 と、プリアンプ PA_1 とプリアンプ PA_2 の出力を加算して出力する加算回路Addと、外部DC制御電圧 V_p が上昇するとゲインを下げ、下降するとゲイン上げて加算回路Addの出力を入力信号 V_i として増幅し中心周波数が f_1 の帯域幅 Δf_1 の帯域信号 V_{o1} 及び中心周波数が f_2 の帯域幅 Δf_2 の帯域信号 V_{o2} とを抽出して出力するゲインコントロールアンプ部GCA-Bと、帯域信号 V_{o1} を整流し、ピーク保持キャパシター C_1 に充電する整流回路Rec1aと帯域信号 V_{o2} を整流し、ピーク保持キャパシター C_1 に充電する整流回路Rec1bとピーク保持キャパシター C_1 の充電電荷を放電させる放電抵抗 R_1 とで構成し、この保持キャパシター C_1 の充電電圧をゲインコントロールアンプ部GCA-BにDC制御電圧 V_p として出力するピーク検出回路PDetと、帯域信号 V_{o1} を整流しピーク保持キャパシター C_2 に充電する整流回路Rec2aと、帯域信号 V_{o2} を整流しピーク保持キャパシター C_2 に充電する整流回路Rec2bと、ピーク保持キャパシター C_2 の充電電荷を放電させる放電抵抗 R_2 とで構成しピーク保持キャパシター C_2 の充電電圧を包絡線検波出力として出力する包絡線検波回路SDetと、この包絡線検波回路SDetの出力と基準電圧 V_{R2} とを比較して比較信号 TC_0 を出力する比較器Compとより構成する。

【0140】

尚、図21は、本実施の形態に於ける前記加算回路の具体例を示したもので、プリアンプ PA_1 及び PA_2 の出力を破線内回路で差動電流信号に変換し、ワイヤード電流加算し、加算した電流を負荷抵抗 RL_1 及び RL_2 にて電圧信号に変換している。

【0141】

ゲインコントロールアンプ部GCA-Bは、制御電圧 V_p を図示しない内部基準電圧 V_{R1} と比較してゲインを制御し入力信号 V_i を増幅する可変ゲインアンプブロックGCAbと、中心周波数が f_1 の帯域幅 Δf_1 の帯域信号 V_{o1} を抽出する手段としてバンドパスフィルタBPF1と、中心周波数が f_2 の帯域幅 Δf_2 の帯域信号 V_{o2} を抽出する手段としてバンドパスフィルタBPF2とを、含んで構成している。

【0 1 4 2】

従来回路基本構成例（図7）説明で記したと同様に、前記プリアンプPA1とPA2を可変ゲインアンプとし、AGC動作ループに組み込んでもよい、また、各バンドパスフィルタBPFと各整流回路Recとの間には、バンドパスフィルタBPFの終端条件を満足し各整流回路Recを駆動するバッファ回路があるが、当業者にとっては容易に類推できることであるので図12では省略している。

【0 1 4 3】

[動作]

アンテナコイルL1はバーアンテナ構造をしている場合、あるいは、外部アンテナに接続される場合があるが、キャリア周波数 f_1 近傍の電波を受信し電圧（電流）信号に変換する、アンテナコイルL1と同調容量C1はキャリア周波数 f_1 に同調しており共振動作により周波数 f_1 の電圧（電流）信号を強調し、プリアンプPA1は更にこの電圧（電流）信号を増幅し、加算回路Addに出力する。

【0 1 4 4】

アンテナコイルL2と同調容量C2とプリアンプPA2も、前記同様に、キャリア周波数 f_2 の電波を受信し、電圧（電流）信号に変換・増幅して加算回路Addに出力する。

【0 1 4 5】

加算回路Addは、キャリア周波数 f_1 及びキャリア周波数 f_2 の増幅された電圧（電流）信号をアナログ加算して前記ゲインコントロールアンプ部GCA-Bに出力する。

【0 1 4 6】

可変ゲインアンプブロックGCAbは、外部DC制御 V_p を一定にするようなゲインで加算回路Addの出力 V_i を増幅し、バンドパスフィルタBPF1は増幅した信号から中

心周波数が f_1 の帯域幅 Δf_1 の帯域信号 V_{o1} を抽出し出力する。同様に、バンドパスフィルタBPF2は増幅した信号から中心周波数が f_2 の帯域幅 Δf_2 の帯域信号 V_{o2} を抽出し、出力する。

【0147】

帯域信号 V_{o1} は整流回路Rec1aを通り、帯域信号 V_{o2} は整流回路Rec1bを通り、整流されてピーク保持キャパシタ—C1に充電され充電電荷によりDC制御 V_p が生成される。

【0148】

この充電動作と放電抵抗 R_1 によりピーク保持キャパシタ—C1の充電電荷を $R_1 \times C_1$ の時定数で放電させる動作とでピーク検出回路PDetとしての機能となる。

【0149】

ここで、前記帯域信号 V_{o1} と V_{o2} の電圧振幅は、一般に、一方が他方より大きいので、ピーク検出回路PDetの出力 V_p は、大きい側の振幅レベルのみで決まり、小さい側の振幅レベルには依存しない。

【0150】

ゲインコントロールアンプ部GCA-Bとピーク検出回路PDetとで、AGC動作を行うが、ピーク検出回路PDetの出力信号 V_p が、2つの帯域信号の大きい側の振幅レベルのみに依存するので、AGC動作としては、大きい側の振幅レベルを一定にするように動作し、小さい側のレベルは、そのゲインで増幅される。したがって、受信振幅レベルの比が出力振幅の比として維持される。

【0151】

包絡線検波回路SDetでは、帯域信号 V_{o1} は整流回路Rec2aを通り、帯域信号 V_{o2} は整流回路Rec2bを通り、整流されてピーク保持キャパシタ—C2に充電される。この充電動作と、放電抵抗 R_2 によりピーク保持キャパシタ—C2の充電電荷を $R_2 \times C_2$ の時定数で放電させる動作とで包絡線検波回路SDetとしての機能となる。

【0152】

ピーク検出回路PDetでの説明同様に、包絡線検波回路SDetの出力は、前記帯域信号 V_{o1} と V_{o2} の電圧振幅の大きい側の振幅レベルを連ねたものになる。この包絡線検波回路SDetの出力と基準電圧 V_{R2} とを比較器Compにて比較して比較信号TC0に

変換する。

【0153】

日本の標準電波として、福島県（40KHz）と佐賀県（60KHz）から同一タイムコードを同一時刻に同一AM変調で送信している。この2局の電波信号を国内で受信した場合、受信点までの到達距離の差による時間差が生じることになるが、その差は数msec程度であり、図35の標準電波波形例でも判るように、各ビットの時間幅が数100msecオーダーであるのに対しては無視できるので、この2局を同時受信してもタイムコードが崩れることはない。

【0154】

受信入力レベルが極端に小さい側は、見えるレベルに増幅されずに結果的に無視され、受信入力レベルが似通っている場合は、フェージング現象などで受信入力レベルが個別に揺らいでも、常に受信状況の良い側が自動的に選択されて受信されることになるので、安定した受信が実現する。

【0155】

以上説明したように、第6の実施の形態によれば、下記の効果が得られる。

（1）受信入力レベルが極端に小さい側の入力信号は無視され、受信入力レベルが似通っている場合は、フェージング現象などで受信入力レベルが揺らいでも安定した受信が実現する。

（2）2局同時受信回路であるが共用部が多いので、部品点数や消費電力の増加が少ない。

（3）2局を個別に受信し良い方の結果を採用する方法に比べて、短時間での受信が実現する。

（4）2局を個別に受信する方法に比べ、上記（2）及び（3）により、トータルの消費電力が減少する。

【0156】

[第7の実施の形態]

[構成]

図13は、本発明の第7の実施の形態におけるAM変調信号受信回路の具体例を示した図である。

【0157】

図13の複数局同時受信AM変調信号受信回路は、前述の第6の実施の形態における複数局同時受信AM変調信号受信回路において、ゲインコントロールアンプ部GCA-Bの、中心周波数が f_1 の帯域幅 Δf_1 の帯域信号 V_{o1} を抽出するバンドパスフィルタBPF1と、中心周波数が f_2 の帯域幅 Δf_2 の帯域信号 V_{o2} を抽出するバンドパスフィルタBPF2との出力を加算する第2の加算回路Add2を付加し、この第2の加算回路Add2の出力を、ピーク検出回路PDetと包絡線検波回路SDetとに入力する構成としている。

【0158】

従来回路基本構成例（図7）の説明と同様に、プリアンプPA1とPA2を可変ゲインアンプとし、AGC動作回路に組み込んでもよい。

【0159】

尚、図21は、本実施の形態に於ける前記加算回路Add1, Add2の具体例を示したもので、プリアンプPA1及びPA2の出力を破線内の回路で差動電流信号に変換し、ワイヤード電流加算し、加算した電流を負荷抵抗 RL_1 及び RL_2 にて電圧信号に変換している。

【0160】

[動作]

複数局同時受信AM変調信号受信回路としての基本的動作は、前述の第6の実施の形態と同様であるので、説明を省略する。

【0161】

第7の実施の形態では、バンドパスフィルタBPF1の出力 V_{o1} と、バンドパスフィルタBPF2の出力 V_{o2} とを、第2の加算回路Add2にて加算している。

【0162】

周波数の異なる波のアナログ加算合成例を図37から図41に示す。図37から図41は、それぞれ振幅値0.5のsin波を、初期位相を変えて合成した例であるが、おおむね2波の差の周波数の頻度で、各振幅値の和の振幅値が現れる。その結果、合成された振幅値が所定のレベルとなるようにAGC動作が行われ、この振幅値のピーク値の包絡線に基づく検波が行われる。

【0163】

第6の実施の形態では、2つのプリアンプPA1とPA2の入力換算雑音を加算されて出力に現れる（雑音が増加する）が、第7の実施の形態では、おおむね2波の和の振幅となるため、その分、可変ゲインアンプが低いゲインで動作すればすむようになるので、雑音増加が軽減される。

【0164】

また、2波を同じゲインで増幅するので、第6の実施の形態と同様に、受信入力レベルが極端に小さい側は、見えるレベルに増幅されずに結果的に無視され、受信入力レベルが近い場合は、フェージング現象などで受信入力レベルが個別に揺らいでも、常に受信状況の良い側を中心に加算されて受信するので、安定した受信が実現する。

【0165】

更に、2局同時受信回路であるが共用部が多いので、部品点数や消費電力の増加が少ない。

【0166】

また、2局を個別に受信して良い方の結果を採用する方法に比べて、半分の時間で受信でき、前記と合わせ考えると全受信に要する消費電力も少なくすむことになる。

【0167】

また、第2～5の実施の形態を適用すると、それぞれの効果がそのまま効果となって現れる。

【0168】

また、電波の取りこみ方法については、アンテナコイルをバーアンテナにしても、外部アンテナからアンテナケーブルで引き込んでもよい。

【0169】

以上説明したように、第7の実施の形態によれば第6の実施の形態の効果に加えて、雑音が増加される効果がある。

【0170】

[第8の実施の形態]

[構成]

図14は、本発明の第8の実施の形態におけるAM変調信号受信回路の具体例を示した図である。

【0171】

図14のAM変調信号受信回路は、前記第6の実施の形態のAM変調信号受信回路において、アンテナコイルL1及びアンテナコイルL2をバーアンテナとし、水平面上に直交するように配置する、また、アンテナコイルL1と同調容量C1の同調周波数と、アンテナコイルL2と同調容量C2の同調周波数とを、同一同調周波数 f とし、プリアンプPA2の出力位相を正相/逆相に切り換える位相切換スイッチSを、プリアンプPA2の出力と加算回路Addの入力端子との間に挿入して構成する。

【0172】

この実施の形態においては、同調周波数 f が単一なので、図14のAGC回路内にあるバンドパスフィルタBPFは単一でよく、AGC回路以降は、従来回路もしくは第2～5の実施の形態の回路と同様の回路を用いることができる。

【0173】

従来回路基本構成例（図7）の説明と同様に、プリアンプPA1とPA2が可変ゲインアンプであり、AGC回路に組み込まれていてもよい。

【0174】

尚、図22、23はプリアンプPA2の極性切換を含む加算回路の具体例であり、図22の加算回路においては、トランスファゲートTG1又はTG2のいずれかを導通状態にすることにより、プリアンプPA2の正相又は逆相の出力と、プリアンプPA1の出力とを加算する。また、図23の加算回路においては、トランジスタT5及びT6のいずれかを導通状態にすることにより、トランジスタT3及びT4の差動対か、トランジスタT1及びT2の差動対かの、いずれかがアクティブ状態となり、プリアンプPA2の出力が、正相又は逆相でプリアンプPA1の出力と加算される。

【0175】

[動作]

2つのアンテナコイルL1及びL2、同調容量C1及びC2、2つのプリアンプPA1及びPA2で構成する受信部は、同一周波数の受信、すなわち、同一送信局からの送

信電波を受信し出力する。

【0176】

2つの直交配置されたバーアンテナの相互間距離が送信電波の波長より十分に小さければ、2つのアンテナコイルL1及びL2に生じる受信電圧は、コイルの巻線方向により同相か逆相かのいずれかになり、電波到来方向に対する角度 θ (θ は、0～360度。図16参照)によって、受信レベルだけが変わる。

【0177】

アンテナコイルL1の受信レベルを、 $V1=V_0 \times \cos \theta$ とすると、アンテナコイルL2の受信レベルは、 $V2=V_0 \times \sin \theta$ となり、単純加算 ($V=V1+V2$) すると大きさが等しく位相が逆となり加算結果がゼロとなる角度が生じるが、前記位相切換スイッチSを操作して常に同位相となるように加算 ($V=|V1|+|V2|$) すると、加算Vは常に、 $V_0 \sim 1.4V_0$ となる。(図42参照)

【0178】

壁掛けの電波時計等は、設置壁等の向きによって電波時計内のバーアンテナ方向が決められることになり、単一バーアンテナであると角度によっては全く受信できなくなってしまうが、本実施の形態によるAM変調信号受信回路を用いることにより、いかなる角度であっても、単一のバーアンテナを最良の方向に向けて得られる受信レベル以上の受信感度が得られる。

【0179】

スイッチSの操作は、該電波時計設置後あるいは電源電池交換後など、初めての受信時は、切り換えてプリアンプPA2の正相/逆相における受信の良好度をテストし、以後の受信は、前回受信で良好であった位相で受信を試みて受信に成功すれば、この受信成功タイムコードを使用し、失敗した場合に位相を反転して受信を試みるようにする。

【0180】

この実施の形態においても、第2～5の実施の形態を適用すると、それぞれの効果がそのまま生きることになる。

【0181】

以上説明したように、第8の実施の形態によれば、AM変調信号受信回路がい

かなる方向を向いていても、単一のバーアンテナを最良の方向に向けて得られる受信レベル以上の受信感度が得られる。

【0 1 8 2】

[第 9 の実施の形態]

[構成]

図 1 5 は、本発明の第 9 の実施の形態における AM 変調信号受信回路の具体例を示した図である。

【0 1 8 3】

図 1 5 の AM 変調信号受信回路は、第 7 の実施の形態における AM 変調信号受信回路において、アンテナコイル L1 及びアンテナコイル L2 をバーアンテナとし、水平面上に直交するように配置する。また、アンテナコイル L1 と同調容量 C1 の同調周波数と、アンテナコイル L2 と同調容量 C2 の同調周波数とを、同一同調周波数 f_1 とし、同調容量 C1 にスイッチ S1 で接続がオン/オフできる同調容量 C3 を付加し、同調容量 C2 にスイッチ S2 で接続がオン/オフできる同調容量 C4 を付加し、アンテナコイル L1 と同調容量 C1 および C3 との同調周波数と、アンテナコイル L2 と同調容量 C2 および C4 との同調周波数とを、同一同調周波数 f_2 とし、プリアンプ PA2 の出力位相を正相/逆相に切り換える位相切換スイッチ S を、プリアンプ PA2 の出力と加算回路 Add の入力端子との間に挿入して構成する。

【0 1 8 4】

周波数の異なる波のアナログ加算合成例を図 3 7 から図 4 1 に示す。図 3 7 から図 4 1 は、それぞれ振幅値 0.5 の sin 波を、初期位相を変えて合成した例であるが、おおむね 2 波の差の周波数の頻度で、各振幅値の和の振幅値が現れる。その結果、合成された振幅値が所定のレベルとなるように AGC 動作が行われ、この振幅値のピーク値の包絡線に基づく検波が行われる。

【0 1 8 5】

尚、図 2 2、2 3 はプリアンプ PA2 の極性切換を含む加算回路の具体例であり、図 2 2 の加算回路においては、トランスファゲート TG1 又は TG2 のいずれかを導通状態にすることにより、プリアンプ PA2 の正相又は逆相の出力と、プリアンプ PA1 の出力とを加算する。また、図 2 3 の加算回路においては、トランジスタ T5

及びT6のいずれかを導通状態にすることにより、トランジスタT3及びT4の差動対か、トランジスタT1及びT2の差動対かの、いずれかがアクティブ状態となり、プリアンプPA2の出力が、正相又は逆相でプリアンプPA1の出力と加算される。

【0186】

〔動作〕

スイッチS1およびS2のオン/オフの組み合わせで、プリアンプPA1に接続する同調周波数とプリアンプPA2に接続する同調周波数とを、双方が同調周波数f1もしくはf2に、あるいは、一方が同調周波数f1であり他方が同調周波数f2に、自由に選択できる。

【0187】

また、スイッチSにて、プリアンプPA2の出力位相を正相/逆相に、自由に選択できる。

【0188】

従って、スイッチSおよびS1およびS2のオン/オフの組み合わせで、実施の形態7の受信方法も、同調周波数f1もしくはf2に対する実施の形態8の受信方法も、いずれも可能になる。

【0189】

スイッチSおよびS1およびS2の操作は、電波時計設置後あるいは電源電池交換後など、初めての受信時は、切り換えて受信の良好度をテストし、以後の受信は、前回受信で良好であったオン/オフ組み合わせで受信を試み、受信に成功すれば該受信成功タイムコードを使用し、失敗した場合にオン/オフの組み合わせを変えて受信を試みるようにする。各組み合わせの成功率を記憶しておき、成功率の高い組み合わせを優先するようにすると効率的である。

【0190】

この実施の形態においても、前述の第2～5の実施の形態を適用すると、それぞれの効果がそのまま生きることになる。

【0191】

以上説明したように、第9の実施の形態においては、スイッチSおよびS1およびS2のオン/オフの組み合わせで、実施の形態7の受信方法も、同調周波数f1も

しくは f_2 に対する実施の形態 8 の受信方法も、いずれも可能になり、この 2 つの実施の形態の効果を合わせた効果が得られる。

【0192】

[第 10 の実施の形態]

[構成]

図 17 は、本発明の第 10 の実施の形態における AM 変調信号受信回路の具体例を示した図である。

【0193】

図 17 の AM 変調信号受信回路は、差動入力アンプをプリアンプ PA として使用する、従来回路および第 2 ～ 9 の実施の形態における AM 変調信号受信回路において、このプリアンプ PA の入力バイアスを、アンテナコイル L に設けたセンタータップから供給する構成としている。

【0194】

[動作]

AM 変調信号受信回路としての動作は、前述の各実施の形態と同様であるので説明を省略する。AM 変調信号受信回路の入力最小感度を向上させるには、プリアンプ PA を低雑音化する必要がある。従来回路のように、差動入力の双方にバイアス回路を設けバイアス供給する方法や、作動入力的一方側にバイアス回路を設け、他方はアンテナコイルを介してバイアスを供給する方法では、バイアス回路の発する熱雑音等をそのままプリアンプで増幅することになり、この雑音が混入する。

【0195】

アンテナコイル L のセンタータップより差動入力プリアンプ PA の入力にバイアスを供給する方法では、バイアス回路の発する雑音は、差動入力アンプのコモンモード入力雑音となり、差動入力プリアンプ PA の出力には現れなくなる。従って、バイアス回路の発する熱雑音等を除去した AM 変調信号受信回路を実現できる。

【0196】

以上説明したように、第 10 の実施の形態によれば、第 2 ～ 9 の実施の形態に

おける効果に加えて、バイアス回路の発する熱雑音等を除去したAM変調信号受信回路を実現できる。

【0197】

[第11の実施の形態]

[構成]

図18(a)～(d)は、本発明の第11の実施の形態におけるAM変調信号用検波回路の具体例を示した図である。

【0198】

第11の実施の形態におけるAM変調信号用検波回路は、従来回路、及び、第2～10の実施の形態におけるAM変調信号受信回路の検波回路SDetに対応する回路である。

【0199】

図18(a)のAM変調信号用検波回路は、前記従来回路、及び、第2～第10の実施の形態におけるAM変調信号受信回路のAGC回路の出力信号Voからキャリア周波数成分を抽出し該周波数のクロックパルスCLを出力するタイミング抽出部と、このタイミング抽出部からのクロックパルスCLを受けてサンプリングクロックパルスSCLを出力するクロック生成部と、比較基準電圧VR2を出力する基準電圧設定部と、サンプリングクロックパルスSCLの入力時にAGC回路の出力信号Voと比較基準電圧VR2とをサンプリング比較して比較信号TC0を出力し次のサンプリングクロックパルスSCLが入力されるまで保持するサンプリング比較保持部とから構成される。

【0200】

図18(b)のAM変調信号用検波回路は、前記基準電圧設定部を、基準電圧発生回路で構成し、タイミング抽出部を、AGC回路の出力信号Voをリミット増幅するリミットアンプLIMと、このリミットアンプLIMの出力をトリガーとしてクロックパルスCL出力する第1のモノマルチバイブレータMM1とで構成し、クロック生成部を、第1のモノマルチバイブレータMM1のクロックパルスCLを受けてサンプリングクロックパルスSCLを発生する第2のモノマルチバイブレータMM2で構成し、サンプリング比較保持部を、一端をグランドに接続する保持容量Cと、サン

プリングクロックパルスSCL入力時にAM変調信号受信回路のAGC回路の出力Voと保持容量Cの他端とを導通状態にさせるトランスファゲートTGと、保持容量Cの他端電圧と比較基準電圧VR2とを比較する比較器Compとで構成している。

【0201】

第1のモノマルチバイブレータMM1は、タイミング位相を合わせるための所定の待ち時間をつくるものであり、遅延回路で構成してもよい。

【0202】

図18(c)のAM変調信号用検波回路は、基準電圧設定部を、AGC回路内のピーク検出回路PDet(図示せず)の出力Vpを分圧して基準電圧VR2を出力する分圧回路で構成し、タイミング抽出部を、AGC回路の出力Voの位相を進相(遅相)させて出力Vo1を出力する第1の移相回路PS1と、AGC回路の出力Voの位相を遅相(進相)させて出力する第2の移相回路PS2と、この第2の移相回路PS2の出力をリミット増幅してクロックパルスCLを出力するリミットアンプLIMで構成し、クロック生成部を、クロックパルスCLを反転・遅延させる遅延回路Dtと、この遅延回路Dtの出力とクロックパルスCLをNOR或いはAND合成してサンプリングクロックパルスSCLとして出力する論理合成回路NOR/ANDとで構成し、サンプリング比較保持部を、差動入力に応じて出力信号TC0が決定され入力開放状態では開放直前の出力状態を保持するヒステリシス形比較器Compと、サンプリングクロックパルスSCLが入力された時に導通状態となって第1の移相回路PS1の出力Vo1と基準電圧VR2とをヒステリシス形比較器Compの差動入力に接続するトランスファゲートTGとで構成されている。

第1の移相回路PS1と、第2の移相回路PS2とは、リミットアンプLIMの遅延を含めて、図29に示すように、位相が $\pi/2$ ずれた波形を得るためのものであり、第2の移相回路PS2による移相(遅相)と、リミットアンプLIMの遅延とで位相を $\pi/2$ ずらすことができる場合、第1の移相回路PS1を省略できる。

【0203】

図18(d)のAM変調信号用検波回路は、サンプリング比較保持部を、第1の移相回路PS1の出力Vo1と基準電圧VR2とを比較して比較結果信号を出力する比較器Compと、この比較器Compの出力をデータ入力Dとしサンプリングクロックパ

ルスSCLをクロック入力CKとし論理出力QをAM変調信号用検波回路の出力信号TC0として出力するDタイプフリップフロップとより構成し、タイミング抽出部を、水晶振動子等を用いたタンク同調回路を含み出力CLのタイミングを安定化させる構成としている。

【0204】

図18(b)～図18(d)の各部は、それぞれ機能が独立しており、図面間で入れ換えてもよい。

【0205】

前記クロックCL、或いは、前記サンプリングクロックパルスSCLを外部に取り出して、図示しない機器で受信信号からの再生クロックとして利用することもできる。

【0206】

[動作]

この実施の形態における検波回路の動作を説明する波形を、図29に示す。前記従来回路、及び、第2～10の実施の形態におけるAM変調信号受信回路のAGC回路のAM変調信号出力Voは、大振幅状態か、小振幅状態かの2状態のみをとる。(図29の1段目の波形参照)

【0207】

図18(a)の基本回路では、基準電圧設定部は、AM変調信号出力Voの大振幅状態のピーク値(又はボトム値)と小振幅状態のピーク値(又はボトム値)との中間となる電圧を基準電圧値VR2として出力する。

【0208】

タイミング抽出部は、AM変調信号出力Voから、立ち上がりエッジ(又は立ち下がりエッジ)が、AM変調信号出力Voのピーク値近辺(又はボトム値近辺)にタイミングを合わせた(AM変調信号出力Voから位相が $\pi/2$ ずれる)キャリア周波数のクロックパルスCLを生成する。

【0209】

クロック生成部は、前記キャリア周波数クロックパルスCLから、AM変調信号出力Voのピーク値近辺(又はボトム値近辺)のタイミング時に、サンプリングク

ロックパルスSCLを出力する。

【0210】

サンプリング比較保持部は、前記サンプリングクロックパルスSCLが” H”（又は” L”）の時、AM変調信号出力 V_o と、基準電圧値 V_{R2} とをサンプリング比較して比較結果を信号TC0として出力し、前記サンプリングクロックパルスSCLが” L”（又は” H”）の時、サンプリングクロックパルスSCLの変化直前の比較結信号TC0を保持する。

【0211】

以上の動作により、AM変調信号出力信号 V_o の大振幅状態のピーク値（又はボトム値）と小振幅状態のピーク値（又はボトム値）を、サンプリングクロックパルスSCLのタイミングで抽出し、この包絡線にあたる信号が得られ、大振幅状態か小振幅状態かの2状態のAM変調信号出力 V_o から、この状態に対応する2値の論理信号TC0を取り出すことができる。

【0212】

整流器Rec2とコンデンサC2と抵抗R2を用いた従来の検波回路SDetでは、標準電波タイムコード（図35参照）の大振幅と小振幅の2状態のAM変調波形のキャリア周波数成分を除去すべくC2とR2の積で決まる時定数を大きくすると、大振幅状態から小振幅状態に移行する場合の包絡線に、いわゆる「ダレ」を生じ、その結果比較器Compの大振幅状態に相当する出力信号TC0の時間幅が広がってしまうことになる。（図30参照）

【0213】

第11の実施の形態に於ける検波回路では、各キャリア振幅のピーク値（又はボトム値）を次々にサンプリングしていくので、比較器Compの大振幅状態に相当する出力信号TC0の時間幅に前記のような「ダレ」を生じず、正確なTC0の時間幅が得られる。

【0214】

また、図18（c）や図18（d）に示すようなサンプリング比較保持部を用いれば、検波回路SDetのコンデンサC2のような容量素子を不要にでき、IC化に適している。

【0215】

AM変調信号出力信号V_oから位相を $\pi/2$ ずらす移相回路例を図31および図32に示す。これら移相回路や、 $\pi/2$ 相当の時間幅をつくるモノステーブルマルチバイブレーターに容量素子が必要になるが、これらは、キャリア周波数の1/4程度の時間領域に関係する値であり、小容量ですむのでIC化できる可能性が高い。

【0216】

以上説明したように、第11の実施の形態における検波回路によれば、以下の効果が得られる。

(1) 大振幅と小振幅の2状態の時間幅で送信される標準電波タイムコードを受信する際に、従来の包絡線検波回路に比べて、正確な時間幅の検波出力が得られる。

(2) 従来の包絡線検波回路に必要な容量素子を不要にできる。

【0217】

[第12の実施の形態]

[構成]

図19(a), (b)は、本発明の第12の実施の形態に於けるAM変調信号用検波回路の具体例を示した図である。

【0218】

第12の実施の形態におけるAM変調信号用検波回路は、第11の実施の形態におけるサンプリング比較保持部を、基準電圧VR2とAGC回路の出力信号V_o(或いは前記第1の移相回路PS1の出力V_{o1})とを比較し比較結果信号を出力する比較器Compと、この比較器Compの出力をデータDとし前記サンプリングクロックパルスSCLをクロックCKとする奇数nビットのシリアルインパラレルアウトのシフトレジスタSHRと、該シフトレジスタSHRの平行出力Q1~Q_nの”H”/”L”出力を多数決処理し”H”出力のビット数が多い場合は”H”を”H”出力のビット数が少ない場合は”L”を出力する多数決回路で構成する。

【0219】

[動作]

第12の実施の形態における検波回路の動作は、多数決処理を除けば、第11の実施の形態における検波回路と同様なので説明を省略する。

【0220】

サンプリングクロックパルスSCLのタイミングで前記AM変調信号出力信号Voに雑音が重畳されていると、比較器Compの出力が誤出力状態（TC0出力が、いわゆる歯抜け状態になる）となることがあるが、平均値を取ることでこの誤出力状態となることを防止、ないしは、軽減できる。

【0221】

また、AM変調信号出力Voの振幅が、AGC回路内の狭帯域バンドパスフィルタBPFの影響で緩やかに増大減小をしていれば、シフトレジスタSHRの平行出力の“H”/“L”の多数決判定が逆転するタイミングは、立ち上がり立ち下がり共に、平行ビット数の1/2にサンプリング速度を乗じた時間だけ正確に遅れるので、シフトレジスタSHRのビット数を増やしても、時間補正をすることにより正確なAM変調信号出力Voの変化点の時間が求められる。

【0222】

図33に多数決回路例を示す。電波時計等では、前記論理出力TC0をマイコン等で取り込んで時刻情報に変換していく。マイコン等による論理出力取り込みを前提にするならば、図34に示すように、直接に前記シフトレジスタSHRの並列ビット出力（あるいはシリアルビット出力）を取り込み処理するようにしてもよい。

【0223】

デジタルビットの多数決処理は、アナログ信号の平均化処理にも通じ、図18（b）の容量Cの前に、抵抗Rを接続してCRによる平均値回路（図19（b）参照）として、AM変調信号出力Voを平均化して基準電圧VR2と比較するようにしても良い。

【0224】

以上説明したように、第12の実施の形態における検波回路においては、前記AM変調信号出力Voに雑音が重畳されている場合に、比較器Compの出力が誤出力状態となるのを防止、ないしは、軽減できる。

【0225】

図20の回路は、第11の実施の形態あるいは第12の実施の形態に於ける検波回路に、第5の実施の形態における受信回路の考えをプラスしたものであり、AGC回路内のピーク検出回路PDetの、整流器Rec1及び放電経路用抵抗R1を不要にでき、ピークホールド容量C1もICに内蔵できる程度まで低容量化できる。

【0226】

外部電源VDDより前記各回路への電源供給を、制御信号PONにより制御（動作中状態と待機スタンバイ状態の創出、或いは、供給電源電圧の定電圧化など）できる電源回路Regの使用は、前記第2～12の各実施の形態に適用し有効である。

【0227】

【発明の効果】

以上詳細に説明したように、本発明の可変ゲインアンプによれば、差動対を構成するトランジスタT1及びT2と、該差動対を構成するトランジスタT1及びT2の吸込み電流として動作する定電流回路Isとを含んで構成する差動入力アンプにおいて、該差動対を構成するトランジスタT1及びT2の、それぞれのソース間に、可変インピーダンスを接続し、該可変インピーダンス値を可変制御することで当該差動入力アンプのゲインを可変とする構成としているので、最小動作電源電圧を小さく、また、ゲインを低下させた場合の出力ダイナミックレンジの減少がなく、ゲイン低下に伴い線形入力範囲が拡大していくので、入出力間の線形性が良好な可変ゲインアンプとなり、可変ゲイン範囲も広げることが出来る。

【0228】

また、本発明のAM変調信号受信回路によれば、大振幅状態と小振幅状態の2状態のAM変調信号Viを受信し該2状態を識別するAM変調信号受信回路において、ピーク値入力端子からのピーク値電圧Vpによりゲインが制御され前記入力AM変調信号Viを増幅して出力Voを出力するゲインコントロールアンプ部（GCA-B）と、該ゲインコントロールアンプ部（GCA-B）の増幅出力Voを包絡線検波する包絡線検波回路（SDet）と、該包絡線検波回路（SDet）の出力と基準電圧VR2とを比較して論理信号TC0を出力する比較回路（Comp）と、該比較回路（Comp）の出力信号TC0を制御入力として、該入力が”H”状態（あるいは”L”状態）の時に前

記ゲインコントロールアンプ部 (GCA-B) の出力 V_o のピーク値を検出し、該検出ピーク値 V_p を前記コントロールアンプ部 (GCA-B) の前記ピーク値入力端子に出力し、前記比較回路 (Comp) の出力信号が” L” 状態 (あるいは” H” 状態) に変化した時には該変化直前の前記検出ピーク値 V_p を保持して該保持検出ピーク値を前記ピーク値入力端子に出力するピーク検出回路 (PDet) とを備えた構成としているので、ピーク検出回路 (PDet) のピーク保持容量を低容量化でき、また、AGC回路の追随特性を改善することが出来る。

【0229】

また、本発明のAM変調信号検波回路によれば、大振幅状態と小振幅状態の2状態のAM変調信号 V_i を受信し該2状態を識別するAM変調信号受信回路において、受信したAM変調信号を所定の振幅値に制御増幅するAGC回路の出力信号 V_o から、キャリア周波数成分を抽出し、該AGC回路の出力信号 V_o の振幅のピーク位置にタイミングを合わせたクロックパルスCLを出力するタイミング抽出部と、該クロックパルスCLを入力して前記ピーク位置にタイミングを合わせたサンプリングクロックパルスSCLを出力するクロック生成部と、比較基準電圧VR2を出力する基準電圧設定部と、前記サンプリングクロックパルスSCLの入力時に前記AGC回路の出力 V_o と前記比較基準電圧VR2とをサンプリング比較して比較結果信号TC0を出力し、次のサンプリングクロックパルスSCLが入力されるまで保持するサンプリング比較保持部を備えた構成としているので、検波波形の立ち上がり特性と立ち下がり特性をそろえ、振幅の変化に即応出来る。

【図面の簡単な説明】

【図1】

第1の実施の形態における可変ゲインアンプ回路の具体例を示した図である。

【図2】

第1の実施の形態における可変ゲインアンプ回路の具体例を示した図である。

【図3】

第1の実施の形態における可変ゲインアンプ回路の具体例を示した図である。

【図4】

従来のAGC用の可変ゲインアンプの具体例を示した回路図である。

【図 5】

従来のAGC用の可変ゲインアンプの具体例を示した回路図である。

【図 6】

従来のAGC用の可変ゲインアンプの具体例を示した回路図である。

【図 7】

従来の電波時計のRF受信部の基本構成例を示す回路図である。

【図 8】

第2の実施の形態に於けるAM変調信号受信回路の具体例を示す図である。

【図 9】

第3の実施の形態におけるAM変調信号受信回路の具体例を示した図である。

【図 10】

第4の実施の形態におけるAM変調信号受信回路の具体例を示した図である。

【図 11】

第5の実施の形態におけるAM変調信号受信回路の具体例を示した図である。

【図 12】

第6の実施の形態におけるAM変調信号受信回路の具体例を示した図である。

【図 13】

第7の実施の形態におけるAM変調信号受信回路の具体例を示した図である。

【図 14】

第8の実施の形態におけるAM変調信号受信回路の具体例を示した図である。

【図 15】

第9の実施の形態におけるAM変調信号受信回路の具体例を示した図である。

【図 16】

電波到来方向に対するアンテナコイルの角度 θ を示した図である。

【図 17】

第10の実施の形態におけるAM変調信号受信回路の具体例を示した図である。

【図 18】

第11の実施の形態におけるAM変調信号用検波回路の具体例を示した図であ

る。

【図 1 9】

第 1 2 の実施の形態に於ける AM 変調信号用検波回路の具体例を示した図である。

【図 2 0】

第 1 1 の実施の形態あるいは第 1 2 の実施の形態に於ける検波回路に、第 5 の実施の形態における受信回路の考えを付加した回路例を示す図である。

【図 2 1】

第 6 及び第 7 の実施の形態における図 1 2 , 図 1 3 の加算回路の具体例を示す図である。

【図 2 2】

第 8 及び第 9 の実施の形態における図 1 4 , 1 5 のプリアンプ PA2 の極性切換を含む加算回路の具体例を示す図である。

【図 2 3】

第 8 及び第 9 の実施の形態における図 1 4 , 1 5 のプリアンプ PA2 の極性切換を含む加算回路の具体例を示す図である。

【図 2 4】

バイアス回路例を示す図である。

【図 2 5】

第 3 の実施の形態における図 9 (c) , (e) の OR 回路とトランスファゲート TG1 の回路を、2 つのトランスファゲート TG1、TG2 の並列回路で置き換えた図である。

【図 2 6】

第 4 の実施の形態における図 1 0 (a) , (c) の AND 回路とトランスファゲート TG1 の回路を、2 つのトランスファゲート TG1、TG2 の直列回路で置き換えた図である。

【図 2 7】

第 4 の実施の形態における図 1 0 (b) の詳細回路図である。

【図 2 8】

第 3 の実施の形態における図 1 4 のタイマー回路 TM の具体例を示す図である。

【図 2 9】

検波回路の各部の波形図である。

【図 3 0】

大振幅状態における従来の Comp 出力波形と第 1 1 の実施の形態における Comp 出力波形とを比較した図である。

【図 3 1】

第 1 1 の実施の形態における図 1 8 (c) , 図 1 8 (d) の移相回路の具体例を示す図である。

【図 3 2】

第 1 1 の実施の形態における図 1 8 (c) , 図 1 8 (d) の移相回路の具体例を示す図である。

【図 3 3】

第 1 2 の実施の形態における図 2 7 の多数決回路の具体例を示す図である。

【図 3 4】

第 1 2 の実施の形態における図 2 7 の多数決回路の具体例を示す図である。

【図 3 5】

標準電波の波形図である。

【図 3 6】

第 5 の実施の形態におけるゲインコントロールアンプ部 GCA-B 内のバンドパスフィルタ BPF の入出力の波形例を模式的に示した図である。

【図 3 7】

第 7 の実施の形態及び第 9 の実施の形態において 2 波をアナログ加算した場合の波形例を示した図である。

【図 3 8】

第 7 の実施の形態及び第 9 の実施の形態において 2 波をアナログ加算した場合の波形例を示した図である。

【図 3 9】

第 7 の実施の形態及び第 9 の実施の形態において 2 波をアナログ加算した場合

の波形例を示した図である。

【図 4 0】

第 7 の実施の形態及び第 9 の実施の形態において 2 波をアナログ加算した場合の波形例を示した図である。

【図 4 1】

第 7 の実施の形態及び第 9 の実施の形態において 2 波をアナログ加算した場合の波形例を示した図である。

【図 4 2】

第 7 の実施の形態及び第 9 の実施の形態において 2 波をアナログ加算した場合の波形例を示した図である。

【符号の説明】

T, T2	差動対をなすトランジスタ
RL1, RL2	付加抵抗
Is, Is1, Is2	吸い込み電流回路
T3, T4	トランジスタ
Vgc	制御電圧
GCA-B	ゲインコントロールアンプ部
SDet	包絡線検波回路
Comp	比較回路
PDet	ピーク検出回路
Rec1, Rec1a, Rec1b, Rec2a, REc2b	整流回路
TG1, TG2	トランスファゲート
TM	タイマー回路
D	遅延回路
PA1, PA2	プリアンプ
Add	加算回路
GCAb	可変ゲインアンプ
BPF1, BPF2	バンドパスフィルタ
PS1, PS2	移相回路

LIM

リミットアンプ

SHR

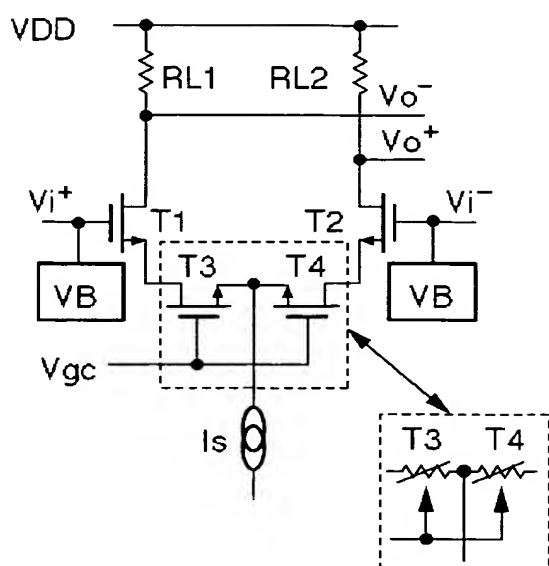
シフトレジスタ

MM, MM1

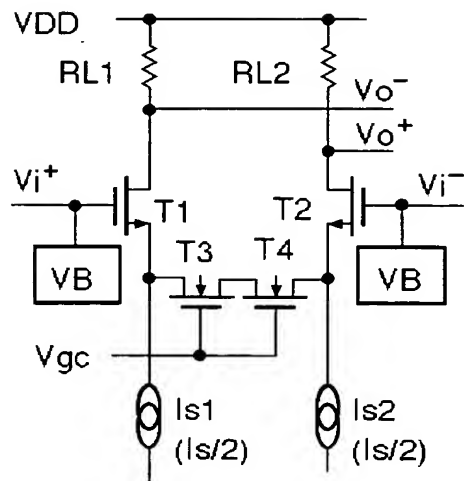
モノマルチバイブレータ

【書類名】 図面

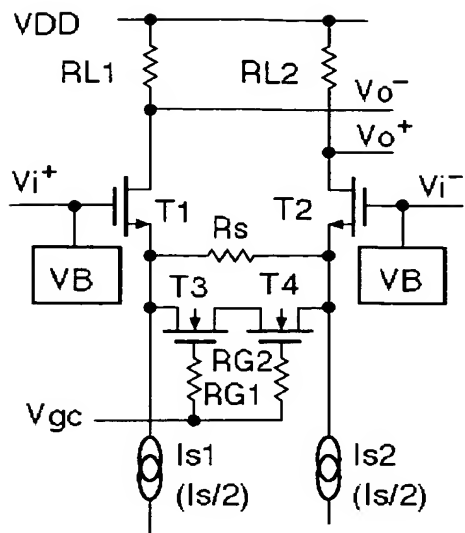
【図 1】



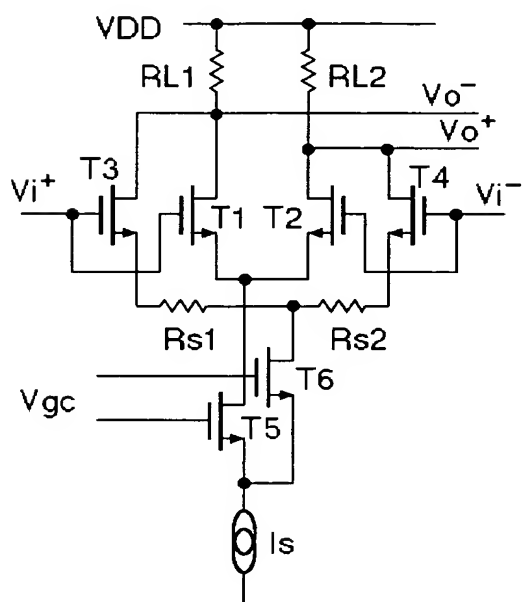
【図 2】



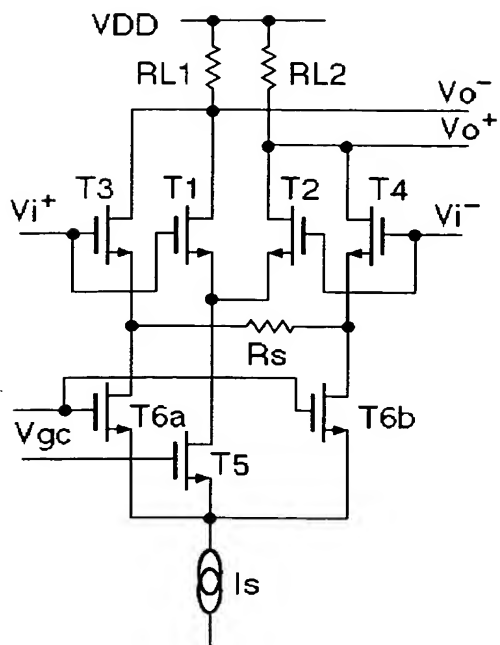
【図 3】



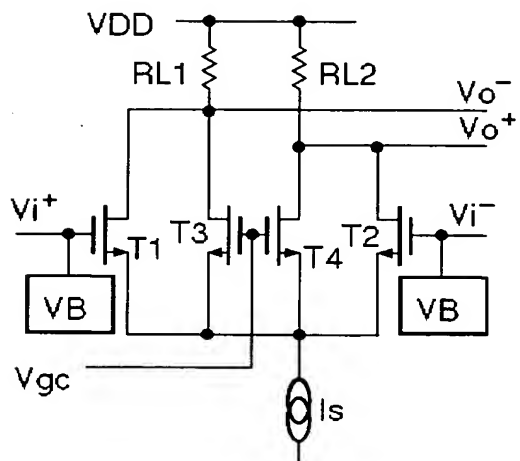
【図 4】



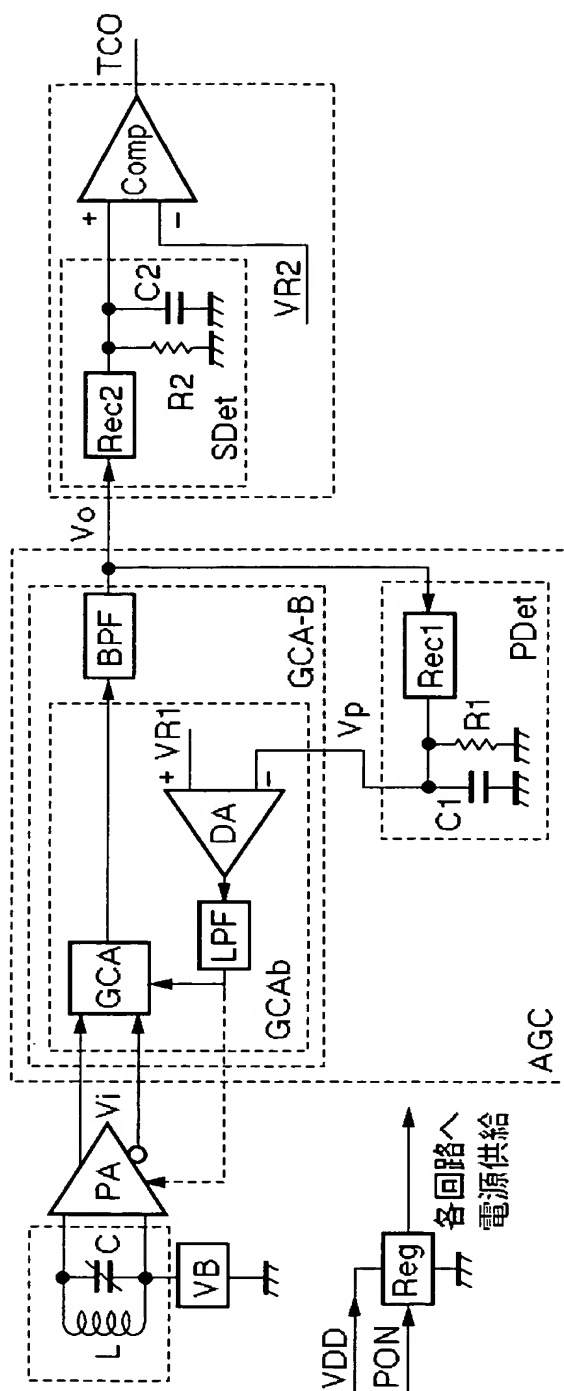
【図 5】



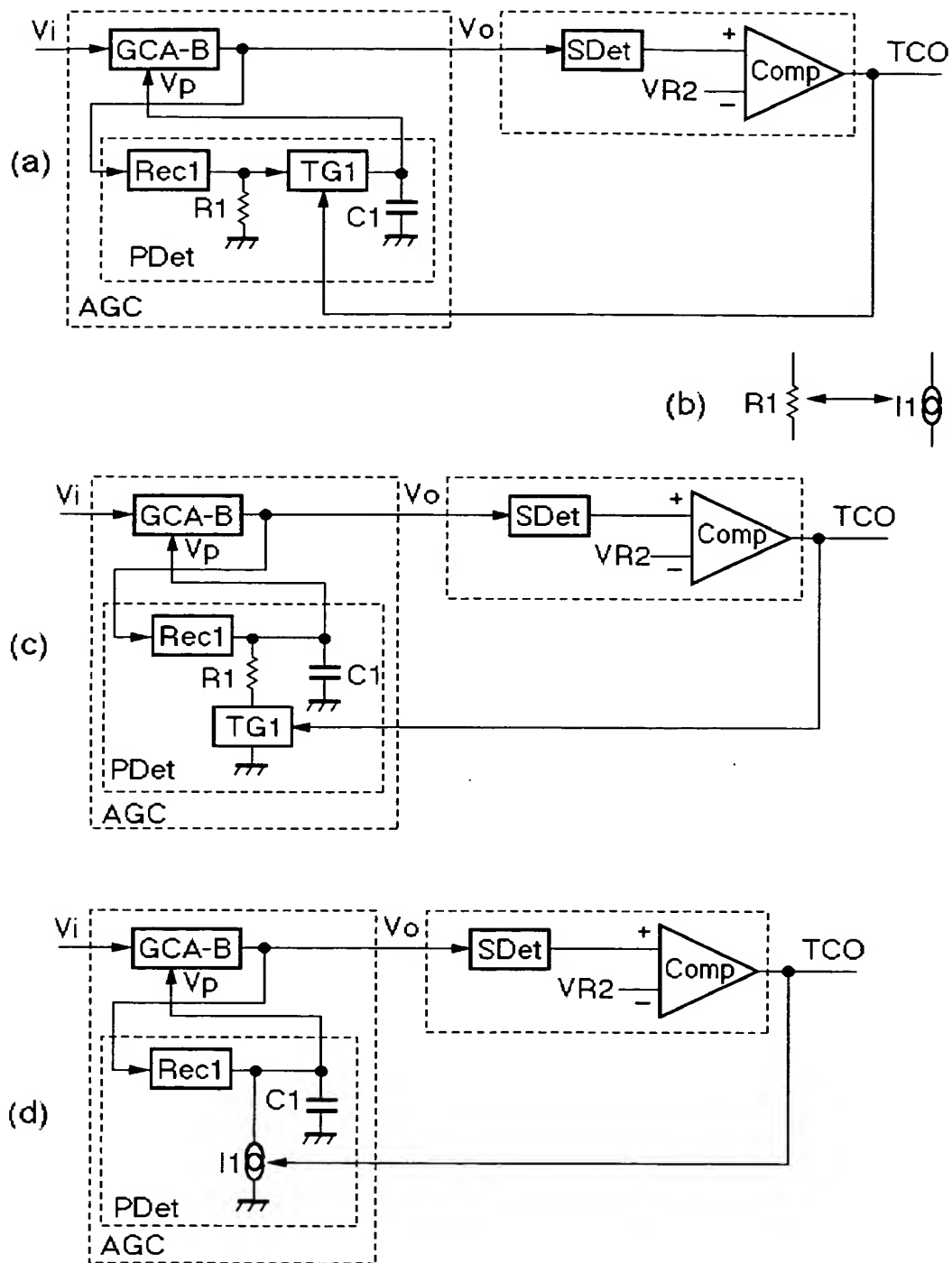
【図 6】



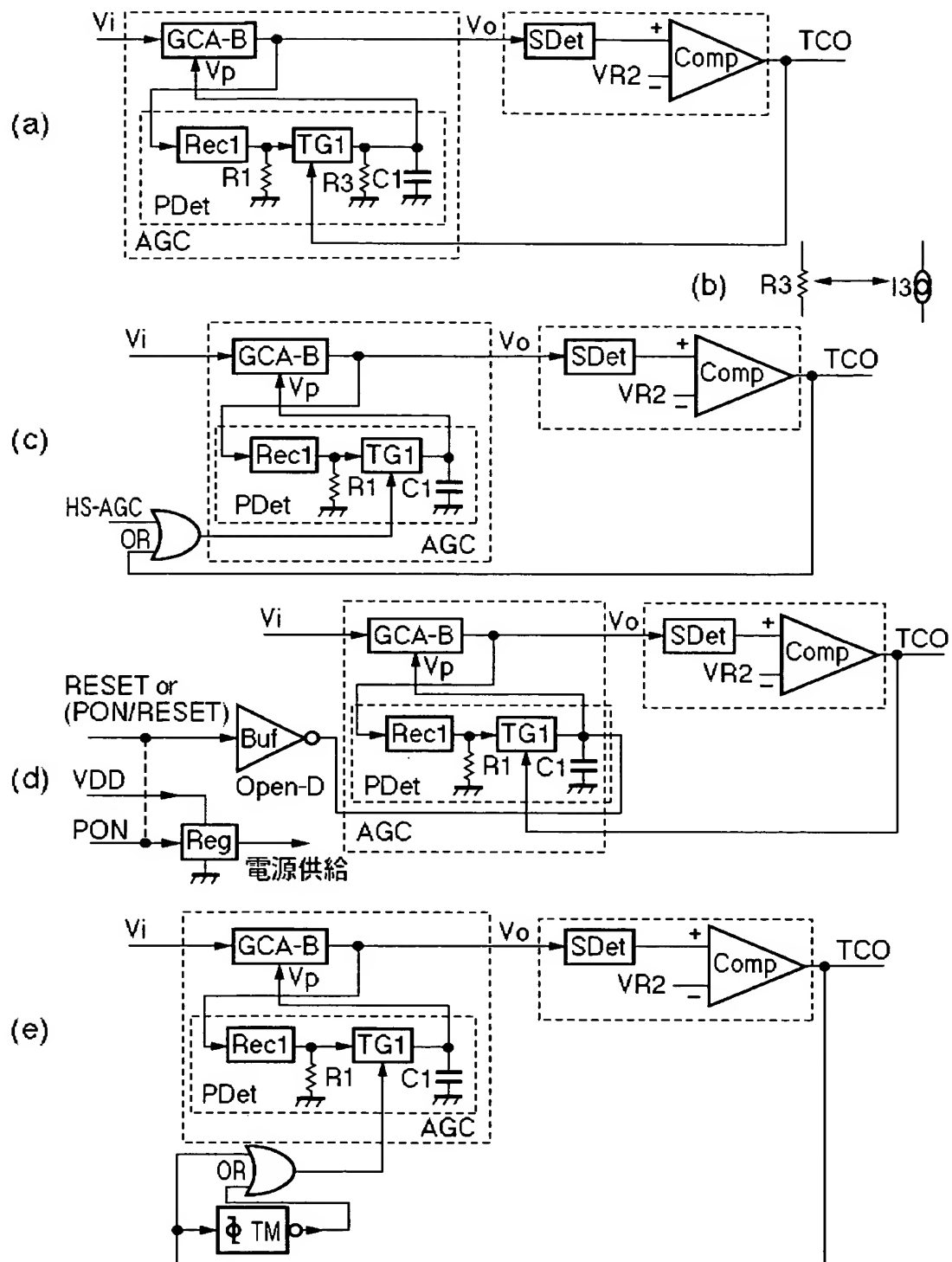
【図 7】



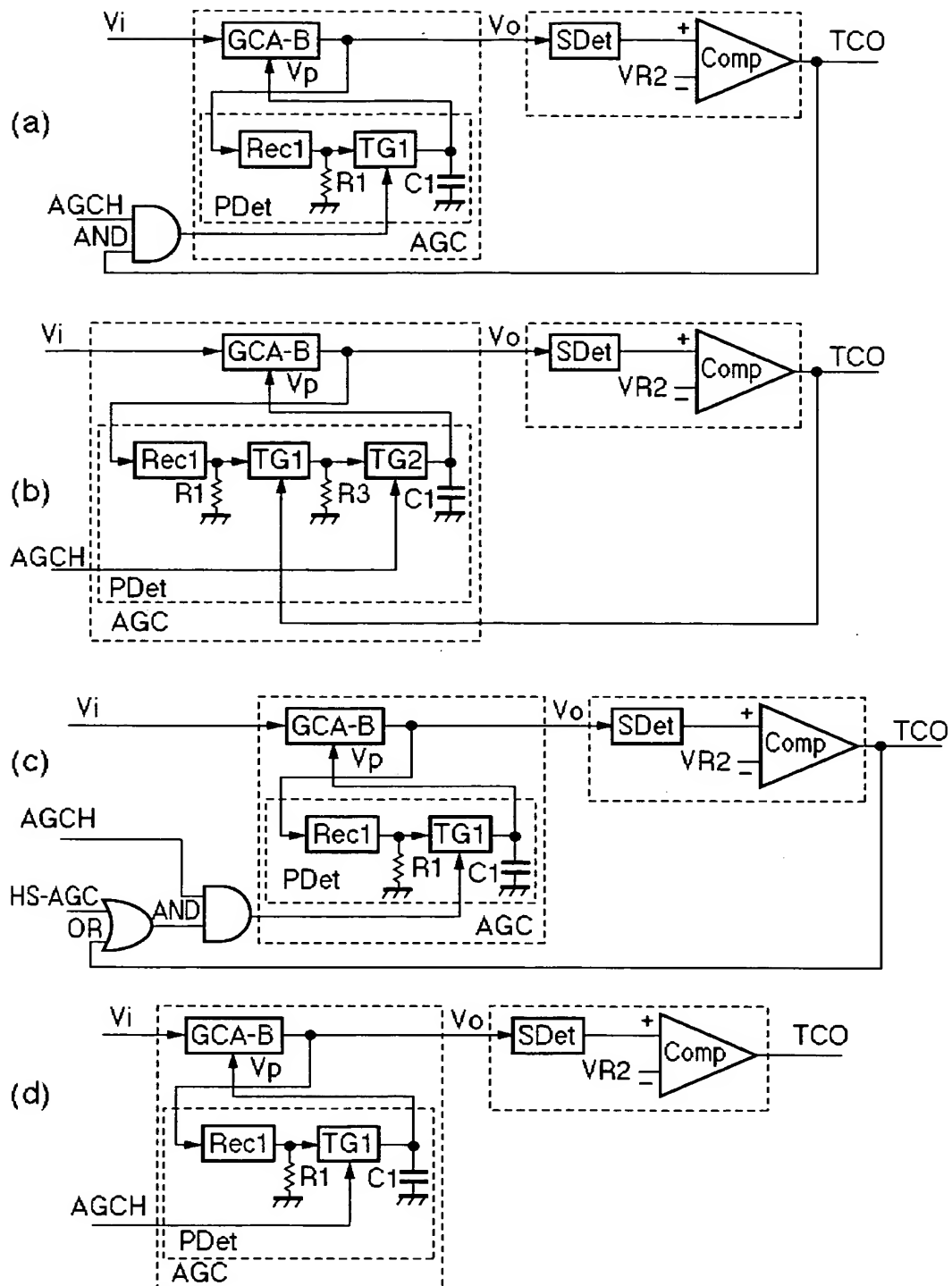
【図 8】



【図 9】

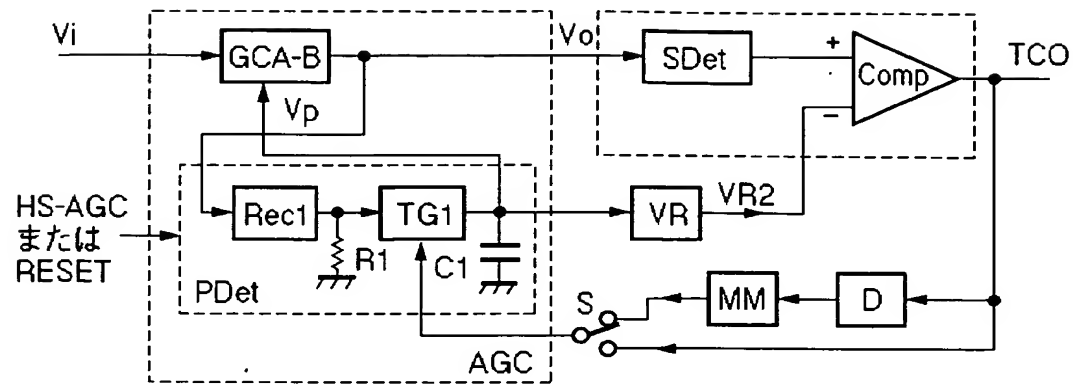


【図 10】

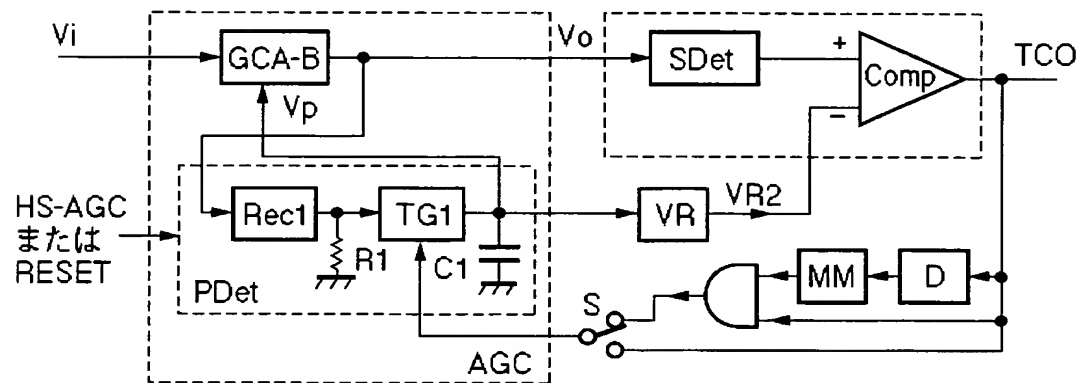


【図 11】

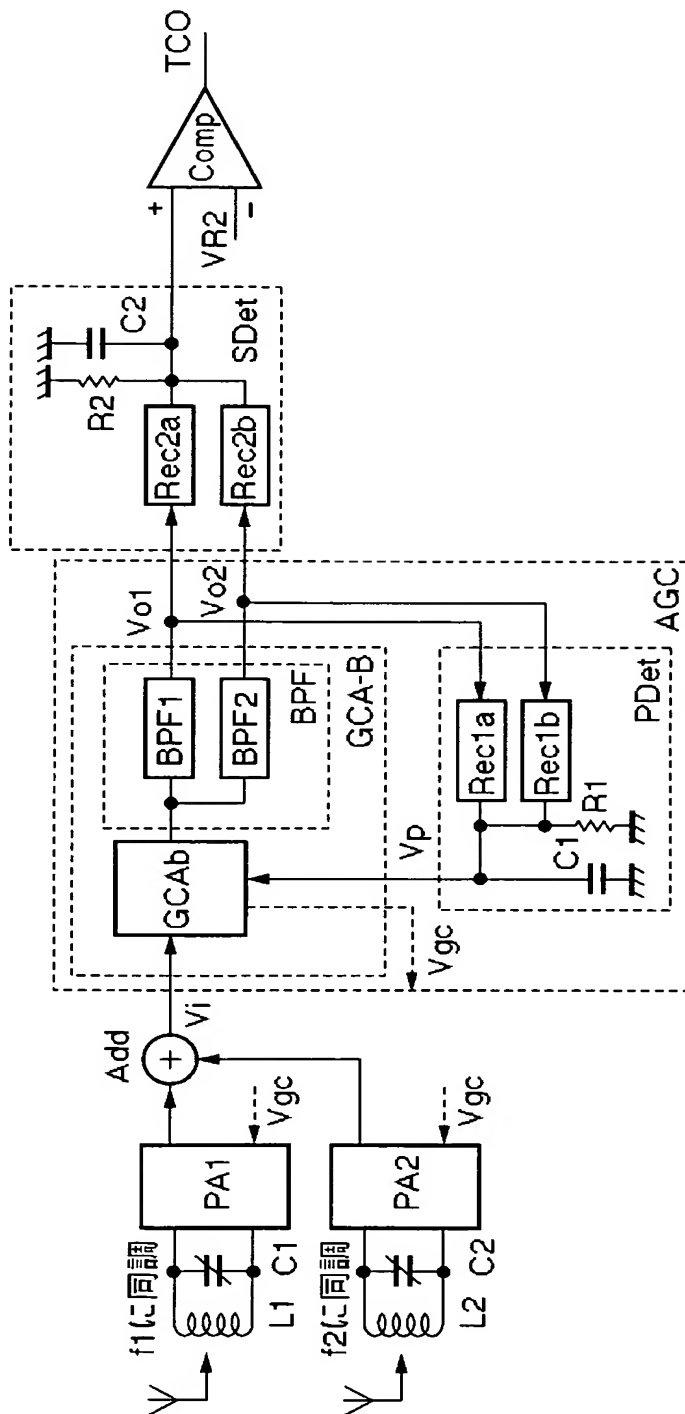
(a)



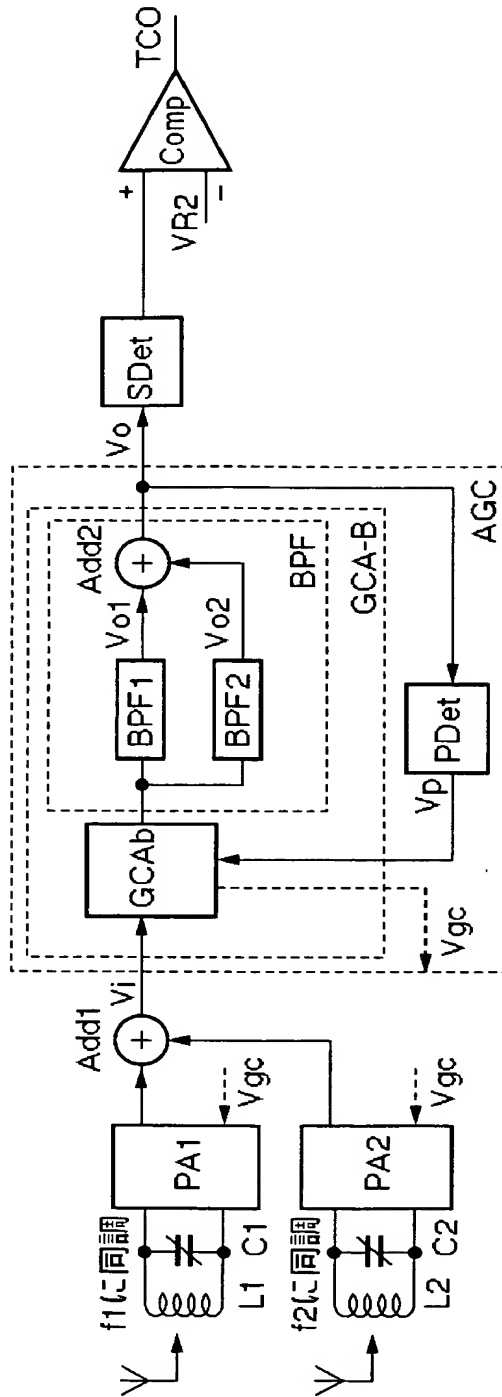
(b)



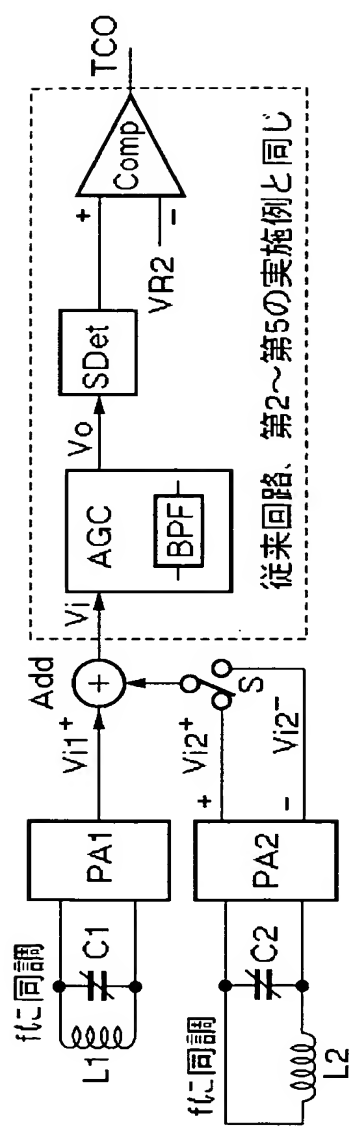
【図 12】



【図 13】

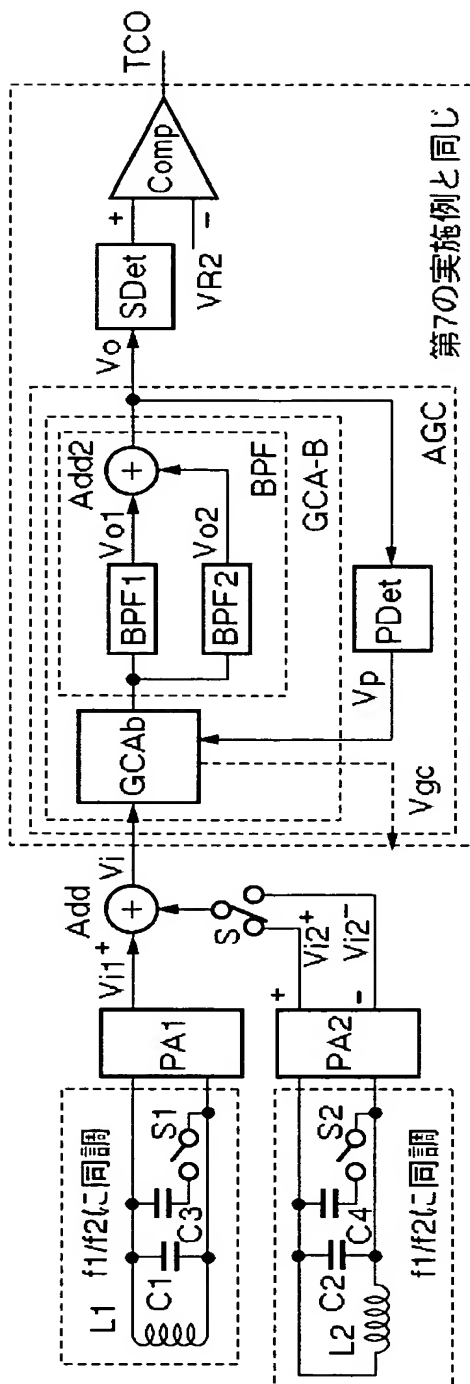


【図 14】

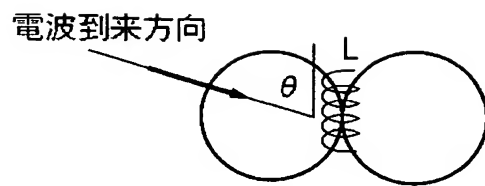


従来回路、第2～第5の実施例と同じ

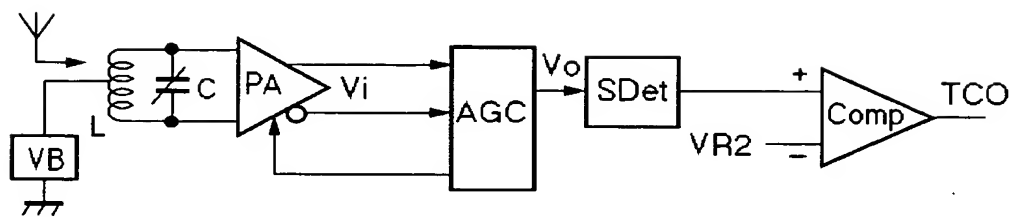
【図 15】



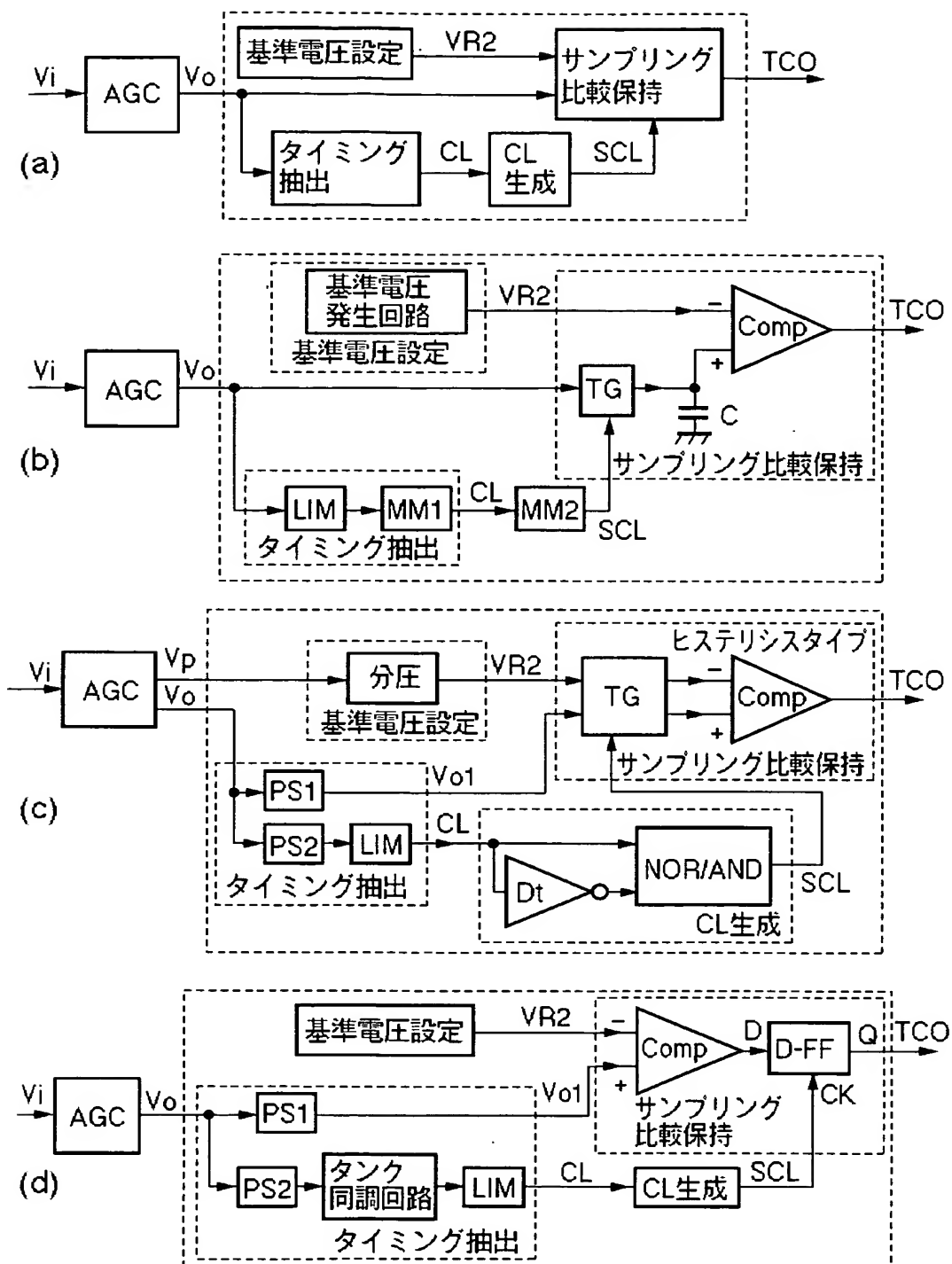
【図 16】



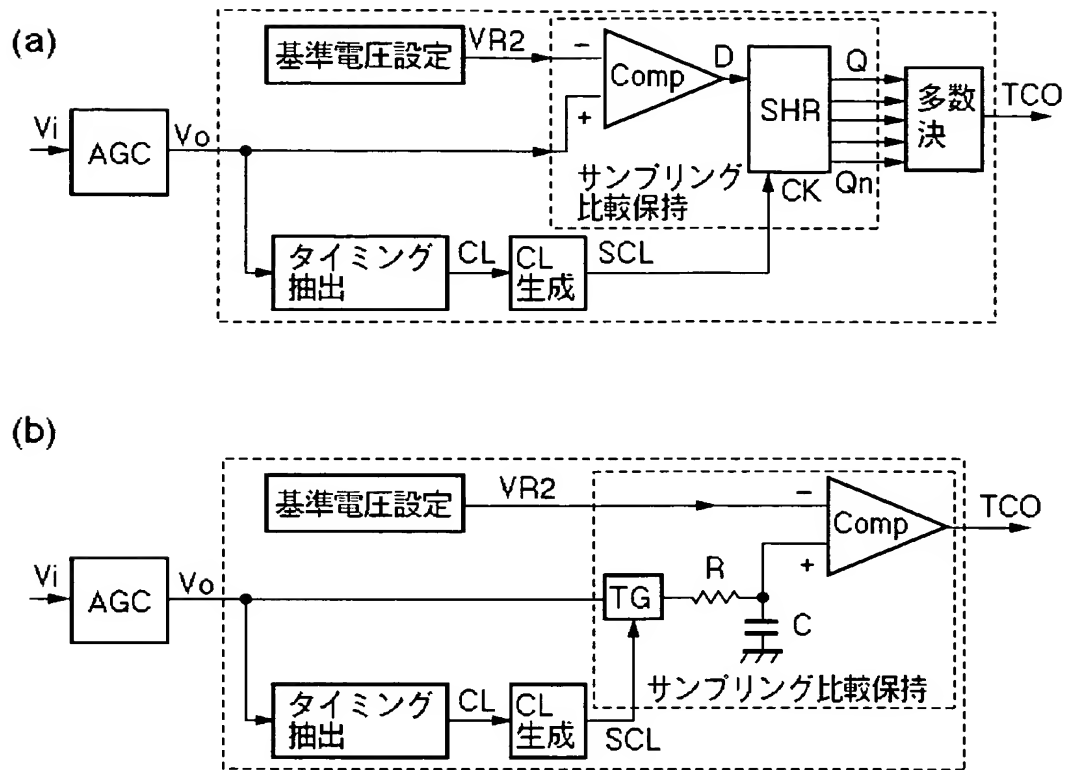
【図 17】



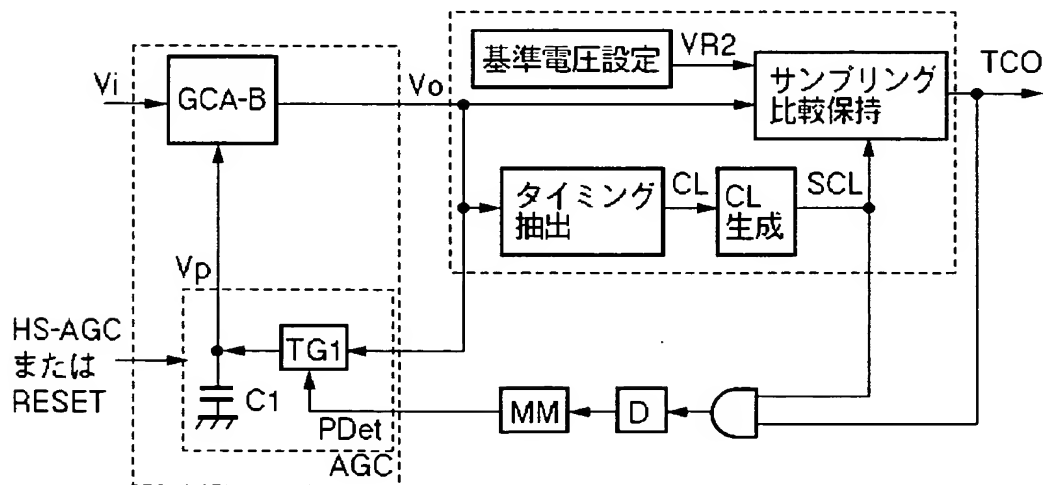
【図 18】



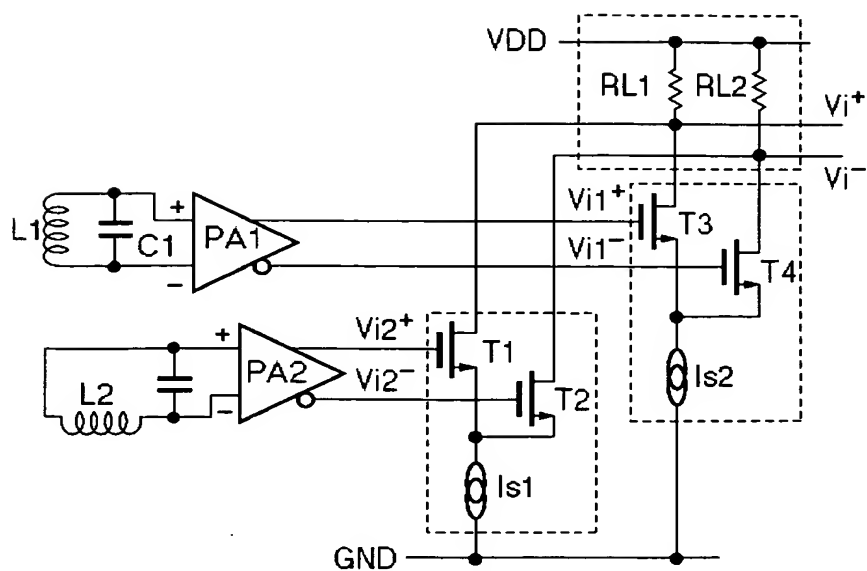
【図 19】



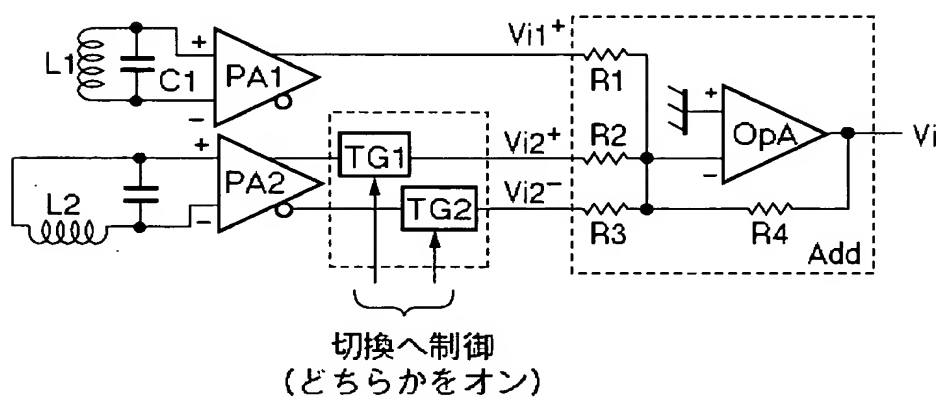
【図 20】



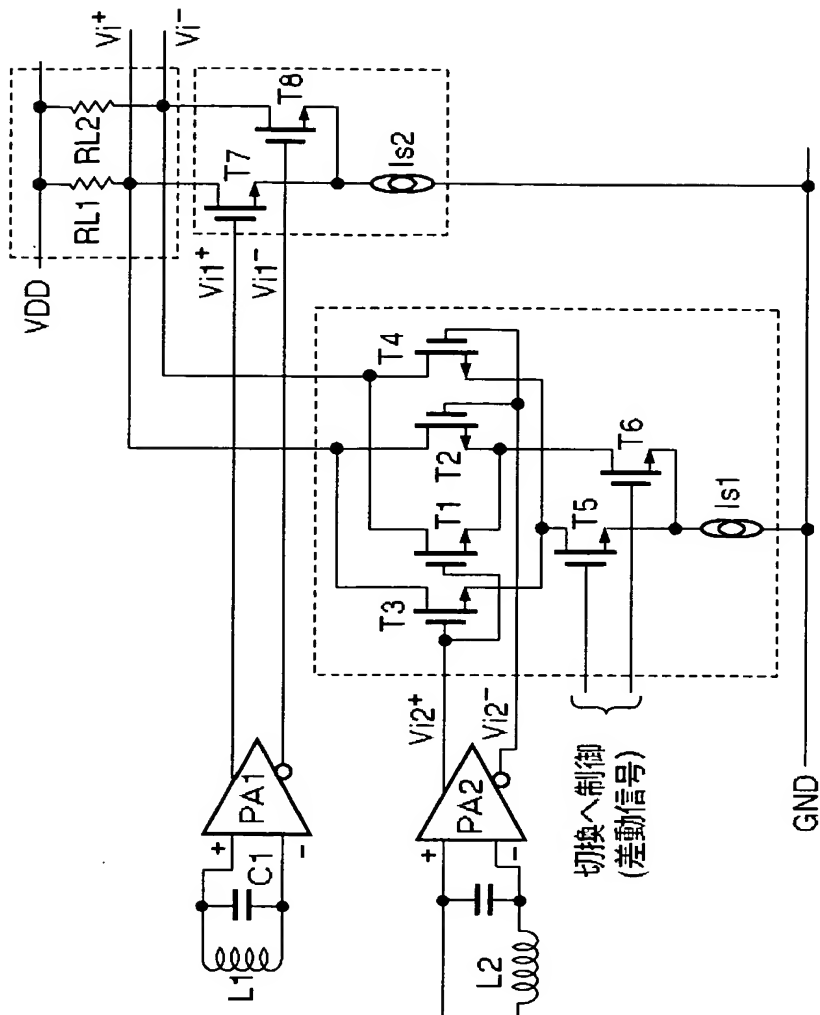
【図 2 1】



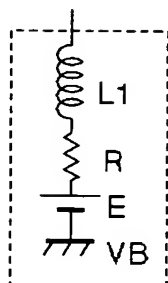
【図 2 2】



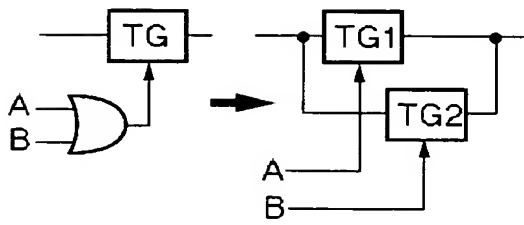
【図 23】



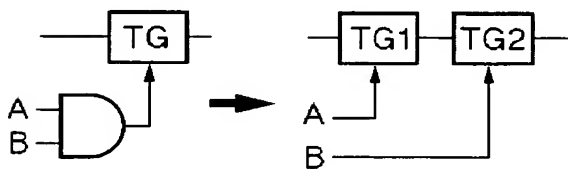
【図 2 4】



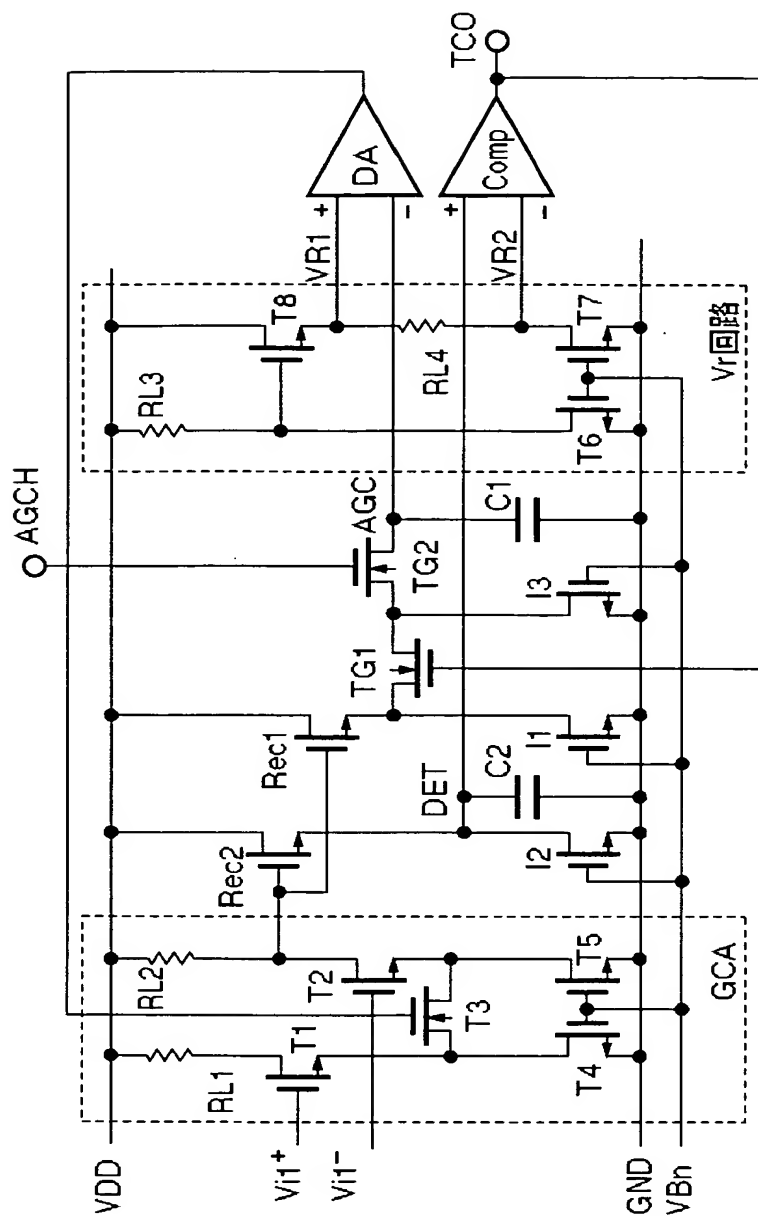
【図 25】



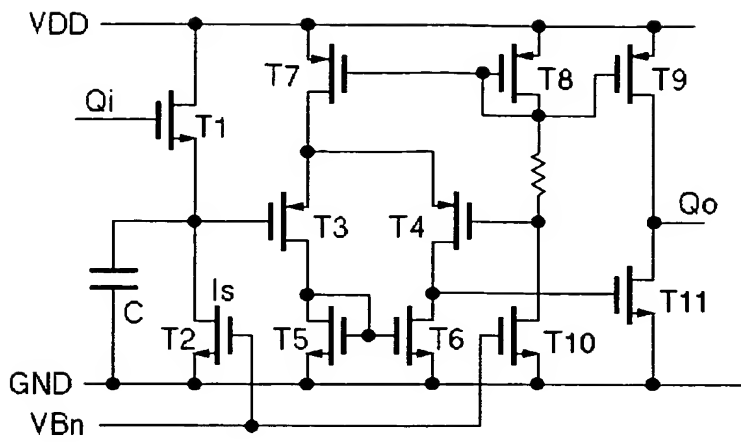
【図 26】



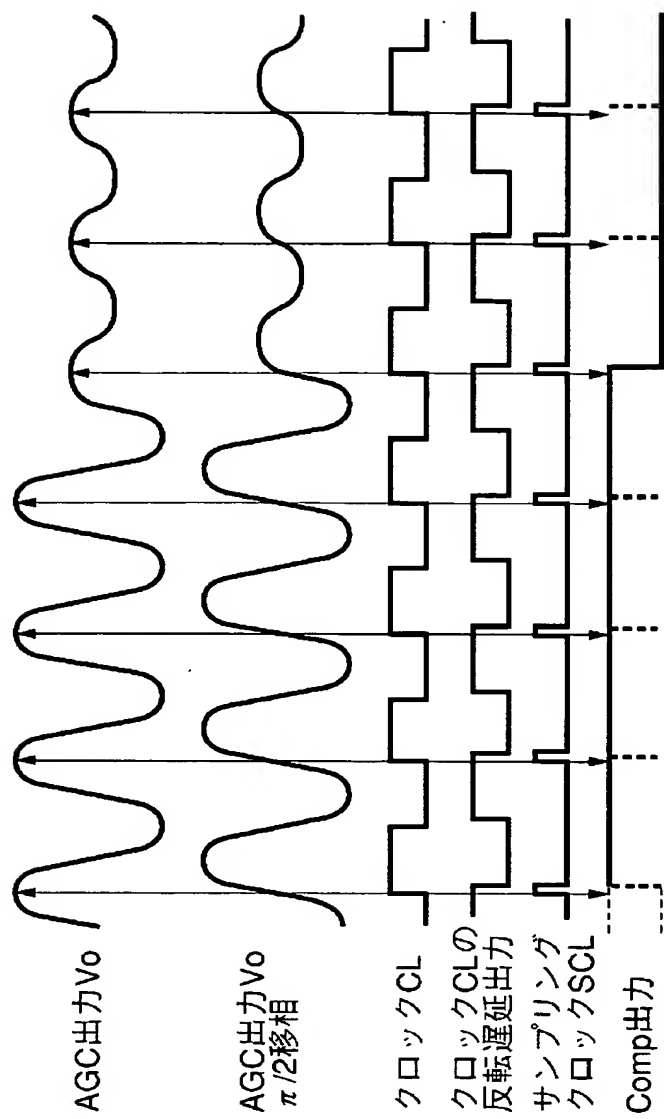
【図 27】



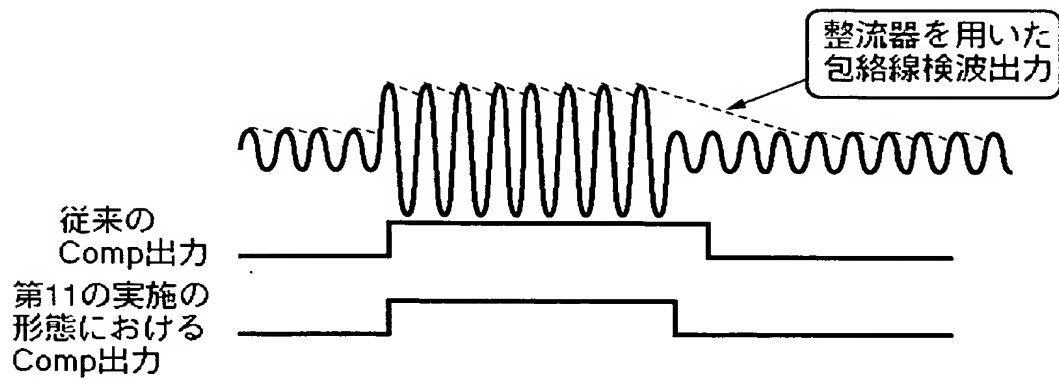
【図 28】



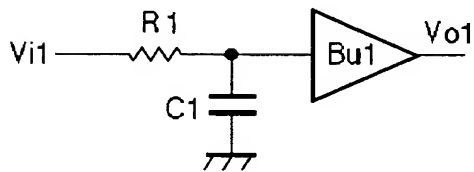
【図 29】



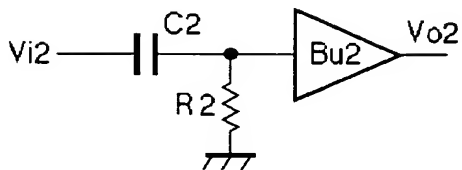
【図 30】



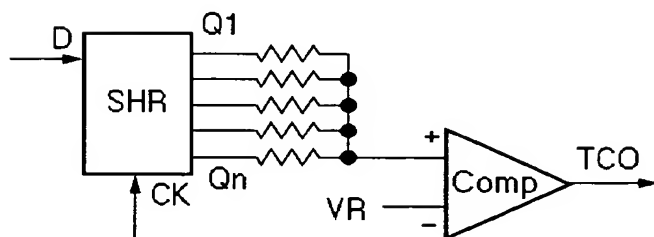
【図 31】



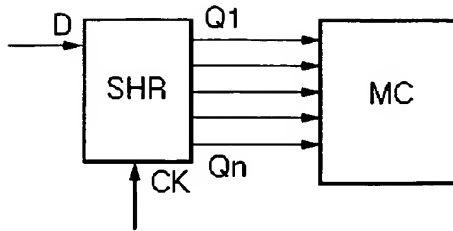
【図 32】



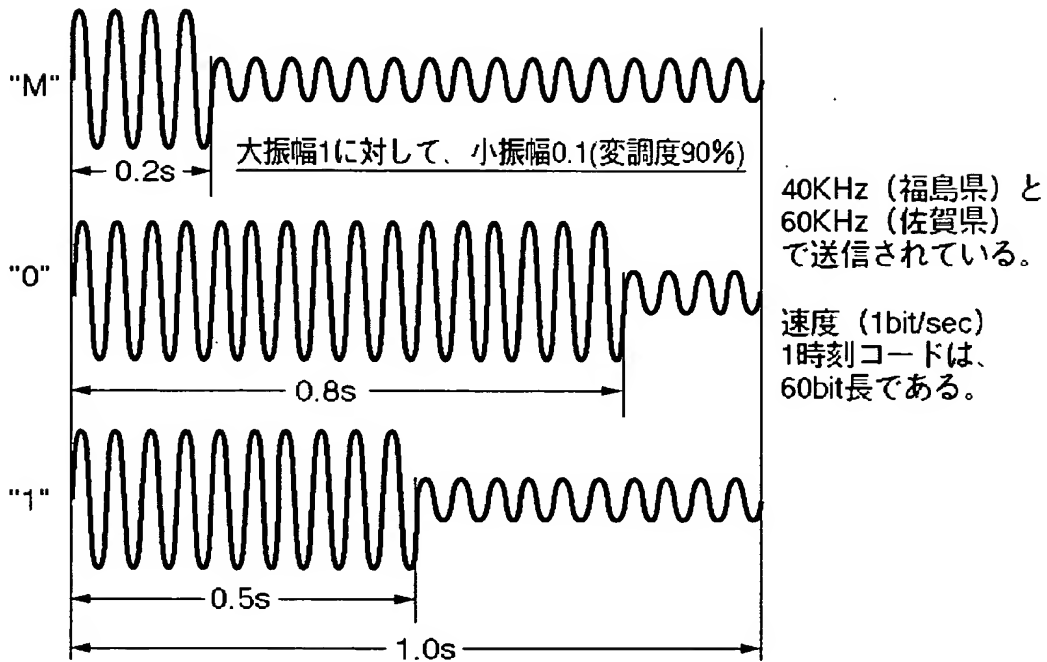
【図 33】



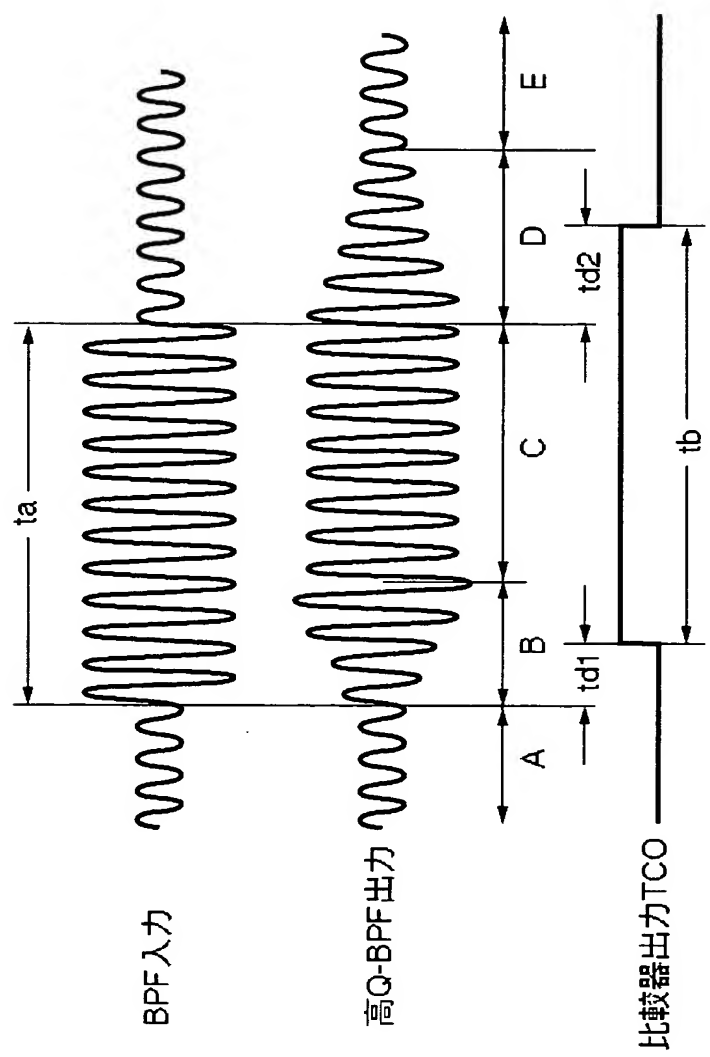
【図 3 4】



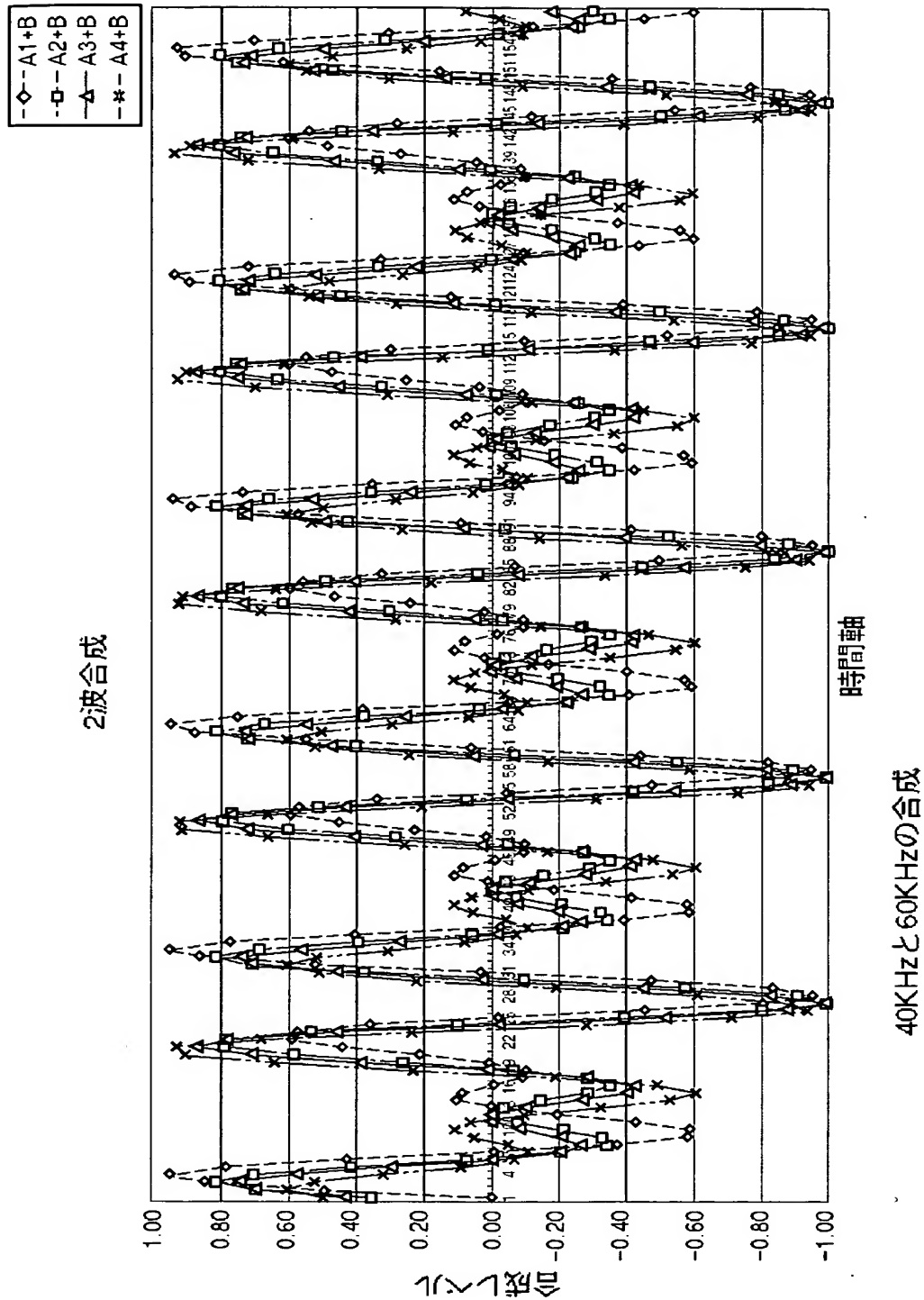
【図 3 5】



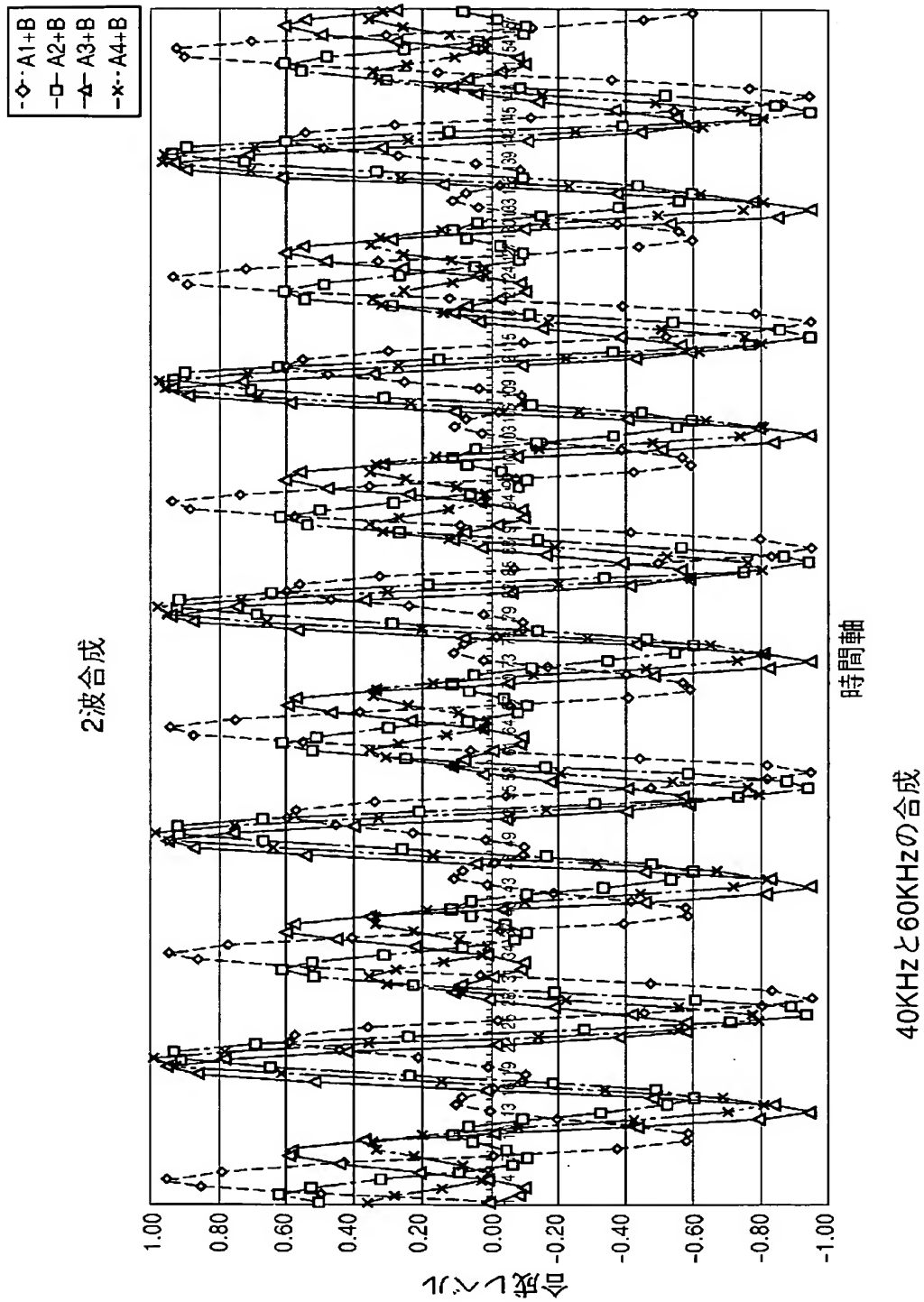
【図 36】



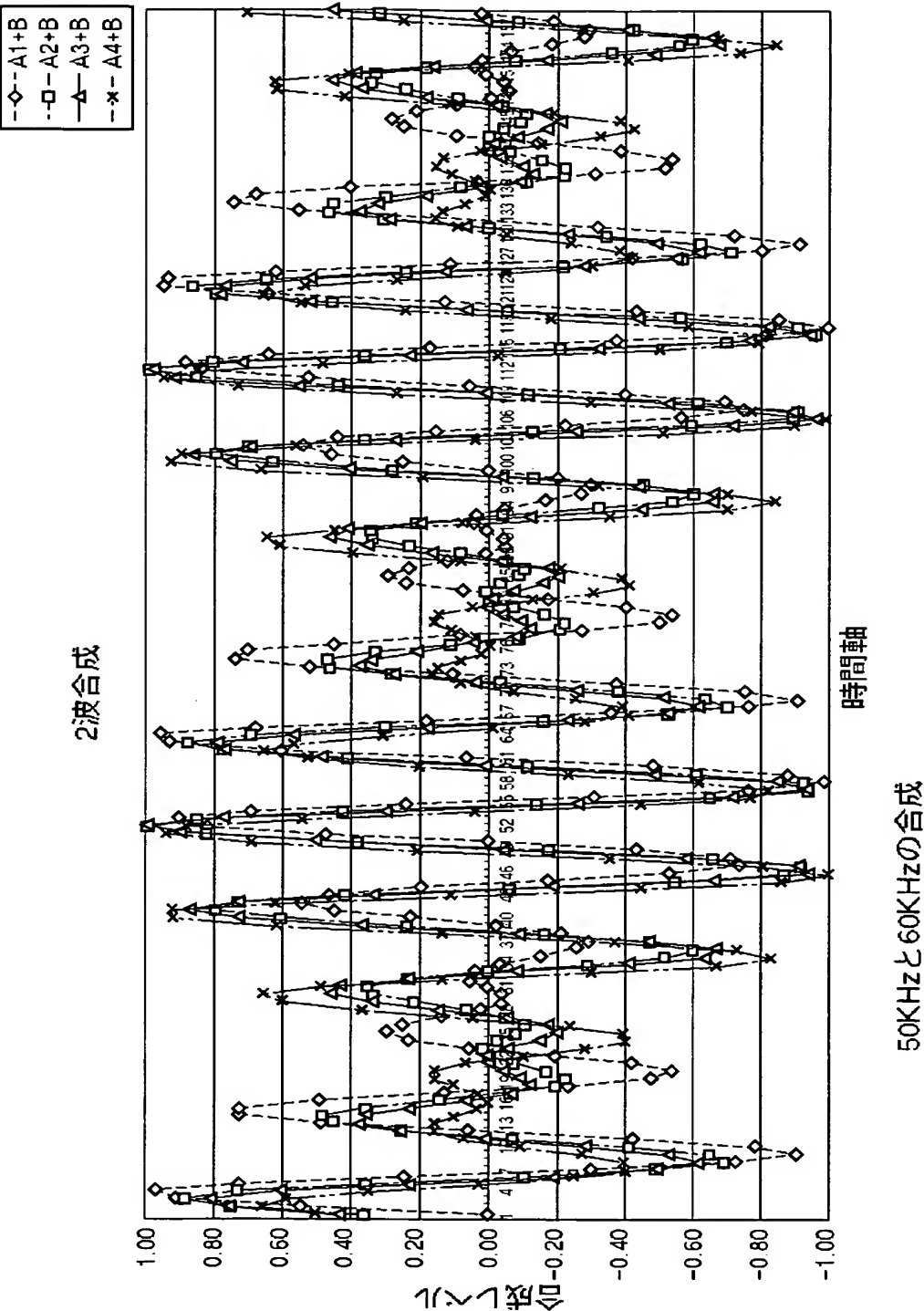
【図 37】



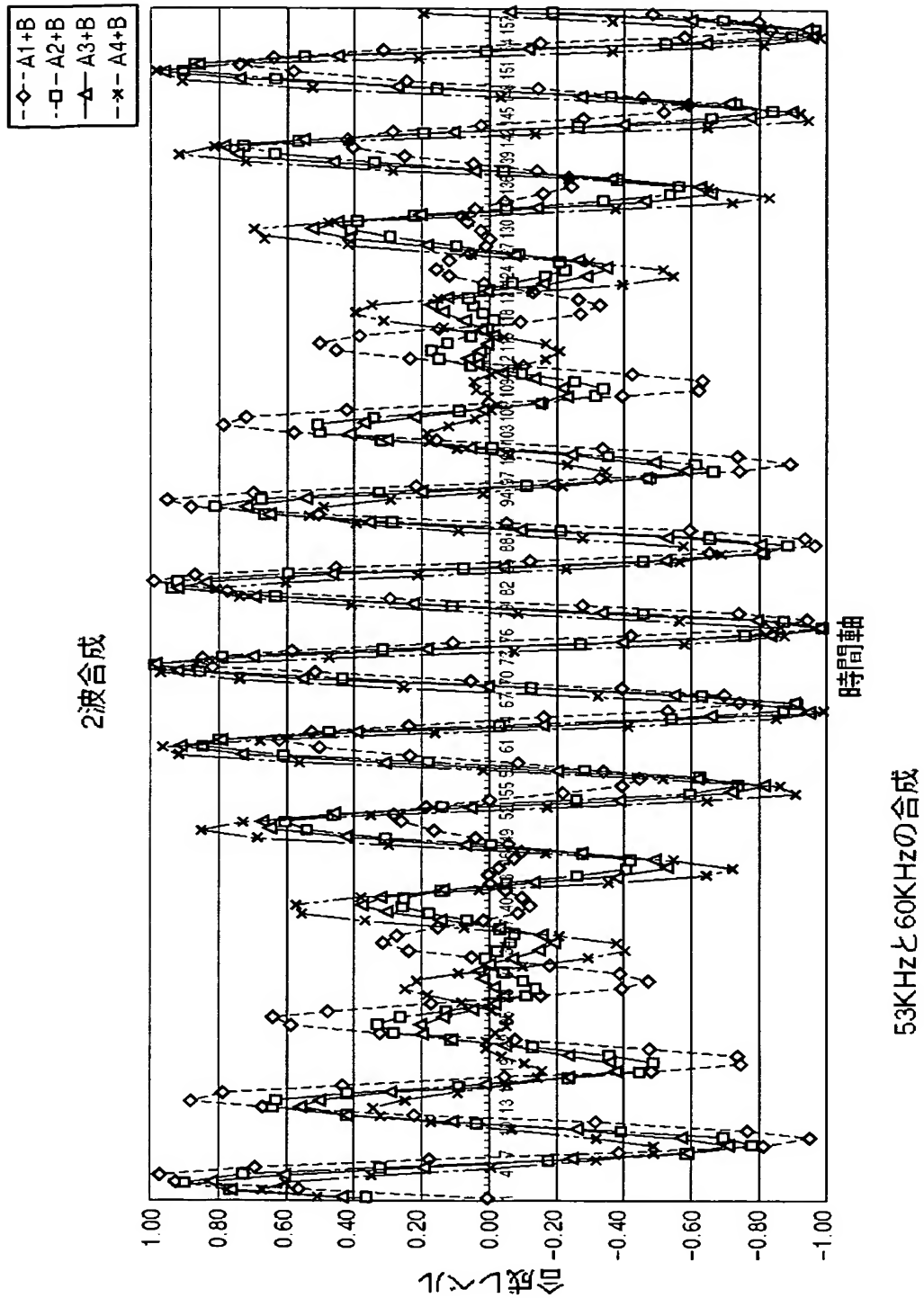
【図 38】



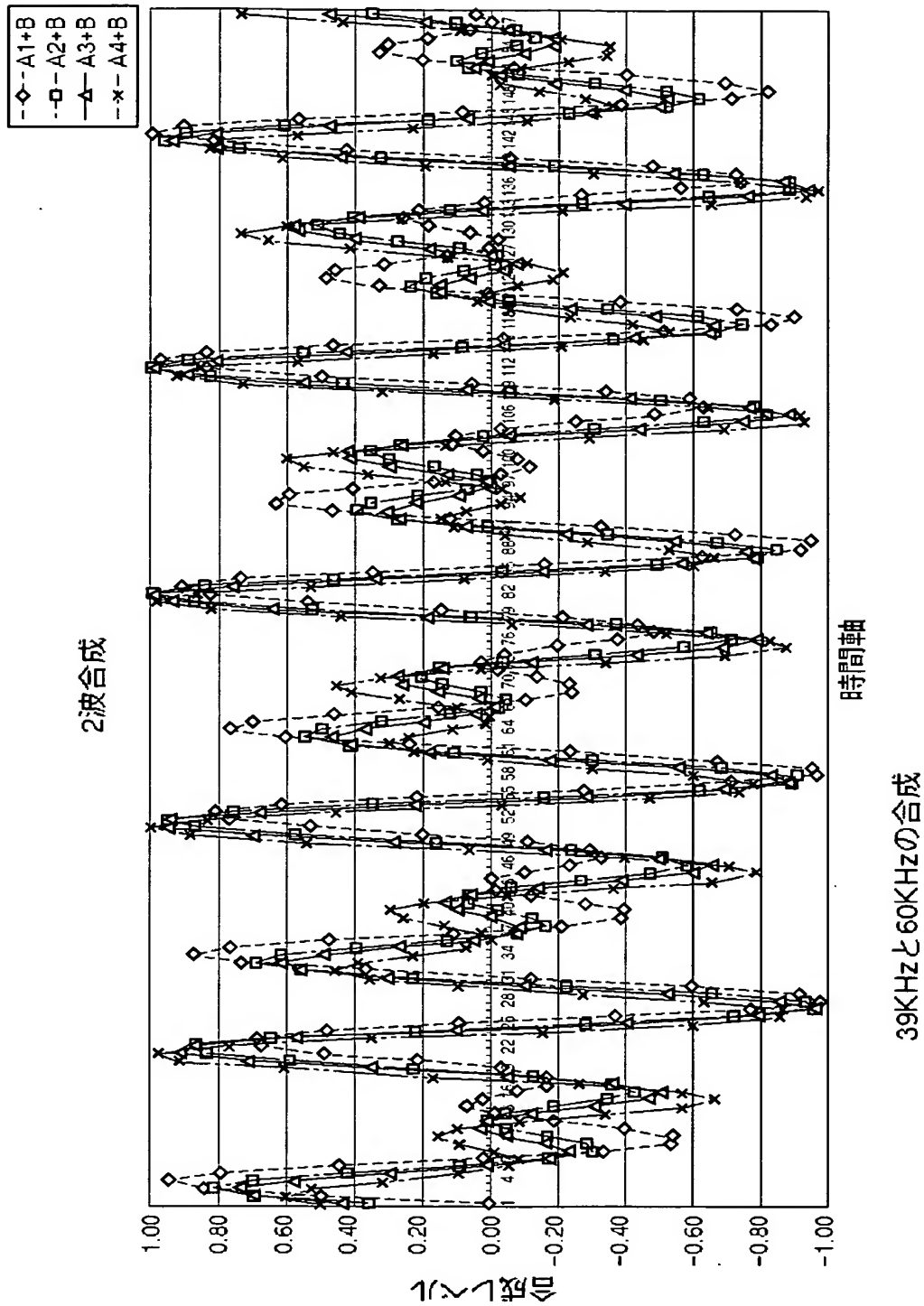
【図 39】



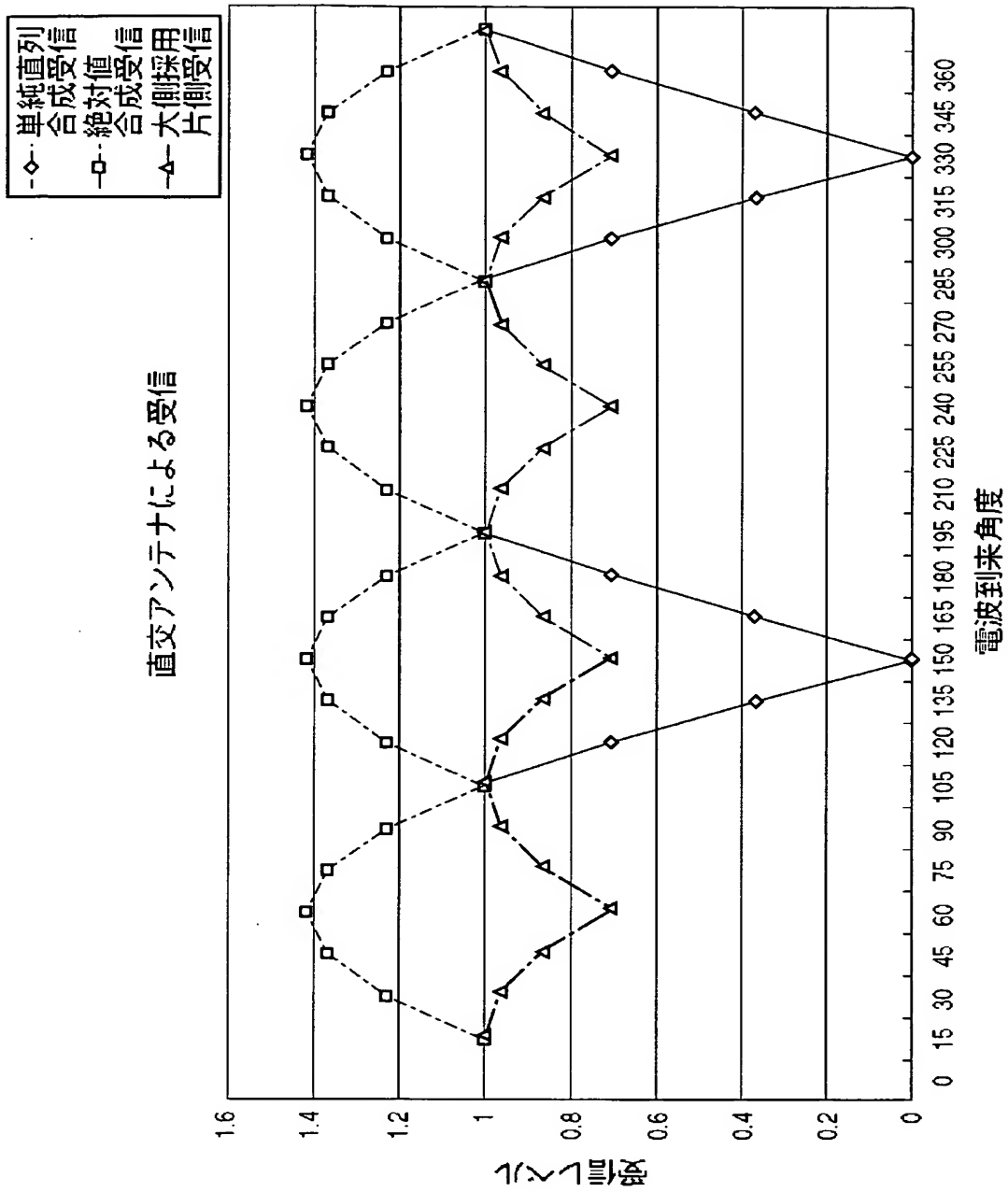
【図40】



【図41】



【図 4 2】



【書類名】 要約書

【要約】

【課題】 線形性を向上させると共に可変ゲイン範囲の広い可変ゲインアンプ、及び、入力部の雑音を軽減しAGC回路の追従特性を改善したAM変調信号受信回路、及び、ピーク値包絡線に正確に対応した出力が得られるAM変調信号検波回路を提供する。

【解決手段】 本発明の可変ゲインアンプにおいては、差動対を構成するトランジスタT1及びT2と、該差動対を構成するトランジスタT1及びT2の吸込み電流として動作する定電流回路Isとを含んで構成する差動入力アンプにおいて、該差動対を構成するトランジスタT1及びT2の、それぞれのソース間に、可変インピーダンスを接続し、該可変インピーダンス値を可変制御することで当該差動入力アンプのゲインを可変とするようにしている。

【選択図】 図1

認定・付加情報

特許出願の番号	特願 2 0 0 3 - 1 3 9 1 8 2
受付番号	5 0 3 0 0 8 2 0 1 3 3
書類名	特許願
担当官	第七担当上席 0 0 9 6
作成日	平成 1 5 年 5 月 1 9 日

< 認定情報・付加情報 >

【提出日】 平成15年 5月16日

次頁無

特願 2 0 0 3 - 1 3 9 1 8 2

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 0 2 9 5]

1 . 変更年月日

1 9 9 0 年 8 月 2 2 日

[変更理由]

新規登録

住 所

東京都港区虎ノ門 1 丁目 7 番 1 2 号

氏 名

沖電気工業株式会社